

TITLE OF THE INVENTION

A DRIVING METHOD FOR A CHOLESTERIC LIQUID CRYSTAL DISPLAY
DEVICE HAVING A MEMORY MODE OF OPERATION AND
A DRIVING APPARATUS

5

CROSS-REFERENCE TO RELATED APPLICATIONS

本出願は、日本出願である特願2000-101580号(2000年4月3
日出願)、特願2000-118942号(2000年4月20日出願)、特願
2000-101579号(2000年4月3日出願)、特願2000-121
392号(2000年4月21日出願)、特願2000-126639号(20
00年4月26日出願)および特願2000-121391号(2000年4月
21日出願)のそれぞれの明細書、クレーム、図面および要約のすべてを引用す
ることにより、それらのすべての開示を含むものである(The entire disclosur
e of Japanese Patent Application No. 2000-101580 filed on April 3, 2000,
No. 2000-118942 filed on April 20, 2000, No. 2000-101579 filed on April
3, 2000, No. 2000-121392 filed on April 21, 2000, No. 2000-126639 filed
on April 26, 2000 and No. 2000-121391 filed on April 21, 2000, including
specification, claims, drawings and summary are incorporated herein by
reference in their entirety.)。

10

15

20

BACKGROUND OF THE INVENTION

Field of the Invention

本発明は、メモリ性を有する液晶層を備えた液晶表示装置の駆動方法および駆
動装置に関する。

25

Description of the Background

現在、TN、STN、TFT液晶表示素子が広く使用されている。これらの液
晶表示素子は、所定の駆動を常時行って表示を行う。これに対し、メモリ性の動

作モードを有するコレステリックまたはカイラルネマチック液晶（以下、CL-LCという。）が注目され、それを備えた液晶表示装置（以下、CL-LCDという。）の実用化が検討されている。

5 一対の平行基板間に挟持されたCL-LCは、その液晶ディレクタが一定周期でねじれた「ねじれ構造」を有する。そのねじれの中心軸（以下、ヘリカル軸という。）が基板に対して平均的に垂直方向になる配列が存在する。

10 複数の液晶ドメインの各ヘリカル軸がほぼ完全に基板面に対して垂直となる完全プレーナ状態（以下、PP状態という。）と、複数の液晶ドメインの各ヘリカル軸の平均的な方向が基板面に対してほぼ垂直となる不完全プレーナ状態（以下、PL状態という。）とがある。そして、入射光のうちの、液晶層のねじれの向きに対応した円偏光を選択反射する。選択反射される波長 λ は、液晶組成物の平均屈折率 n_{AVG} と液晶組成物のピッチ p の積にほぼ等しい（ $\lambda = n_{AVG} \cdot p$ ）。

15 ピッチ p は、カイラル剤等の光学活性物質の添加量 c と光学活性物質の定数HTP（Helical Twisting Power）から、 $p = 1 / (c \cdot HTP)$ によって決まる。したがって、選択反射波長は、光学活性物質の種類と添加量によって調整できる。CL-LCの選択反射波長を可視域外となるようにピッチを設定すれば、選択反射時に目視では透明になり透過散乱の動作モードを呈する。

20 PP状態では入射光に対する正規反射が大きく、特定の視角において極めて高い反射特性を示す。PL状態においては、正規反射は相対的に小さく、比較的広い視角において高い反射特性を示す。

25 さらに、CL-LCは複数の液晶ドメインのヘリカル軸が基板面に対してランダム方向または非垂直方向に配列したフォーカルコニック状態（以下、FC状態という。）をとることもできる。一般的に、FC状態の液晶層は全体として弱い散乱状態を示す。選択反射時のように特定の波長の光を反射することはない。また、FC状態、PL状態およびPP状態は、無電界時でも安定に存在する。

図18（a）はPL状態、図18（b）はFC状態の模式図である。鼓型で示す液晶ドメインの配列状態を示す。PP状態での選択反射波長はほぼ $\lambda = n_{AVG}$

・ p で与えられる。PL 状態の選択反射波長は、ヘリカル軸の方向に分布があるため、PP 状態の場合に比較して短波長側にずれる傾向がある。

図 18 (b) の FC 状態のときに、裏面側に吸収層を設けることによって吸収層の色の表示が得られる。したがって、明状態である PL 状態と、暗状態（吸収層が黒の場合）である FC 状態の 2 状態を利用したメモリ型の表示動作を実現できる。

CL-LCD の基本構成については、George H. Heilmeyer, Joel E. Goldmacher et al, Appl. Phys. Lett., 13(1968), 132 や US 3 9 3 6 8 1 5 に示されている。また、US 4 0 9 7 1 2 7 は、PL 状態と FC 状態が混在した安定的な中間状態が存在し、表示に利用できることを示している。

次に、CL-LCD の駆動法について説明をする。US 3 9 3 6 8 1 5 では、駆動電圧の振幅の大きさによって、PL 状態を FC 状態に、また FC 状態を PL 状態にそれぞれ変化させている。後者の場合は、液晶分子が電圧印加方向にほぼ平行になるホメオトロピック状態（以下、HO 状態という。）を経由して起こすので、最も高い電圧が必要とされる。

CL-LC では、一連の印加電圧波形の実効値が直接電圧消去後の状態を決定するのではなく、電圧消去後の表示は、直前に印加された電圧パルスの印加時間および振幅値に依存する。

次に、CL-LCD におけるマトリクス表示について説明する。FC 状態に転移させる電圧を V_f とし、PL 状態に転移させる下限電圧を V_p とし、電圧を印加しても表示状態が変わらない上限電圧を V_s とする。

線順次駆動を行う場合、行電極に電圧振幅 V_r の電圧パルスを入力し、それに同期して列電極には電圧振幅 V_c の電圧パルス（選択パルス）を入力する。各行電極に対して 1 度ずつ選択パルスを入力して、1 表示シーケンスを完了する。

表示シーケンスにおいて、オン表示が選択された場合には表示画素に $(V_r + V_c)$ の電圧振幅が 1 度だけ入力され、オン表示の非選択期間では電圧 V_c が印加される。また、オフ表示が選択された場合には表示画素に $(V_r - V_c)$ の電圧振幅が 1 度だけ入力され、オフ表示の非選択期間では電圧 V_c が印加される。

オン時にはP L 状態が選択され、オフ時にはF C 状態が選択されるとすると、それぞれの条件は以下の通りである。

$$V_r + V_c > V_p, \quad V_r - V_c = V_p$$

- 5 さらに、書き込まれた状態が変化しないように、 $V_c < V_p$ でなければならない。
5 以上のように印加電圧の制御を行えばマトリクス表示が可能になる。

- 10 C L - L C D では走査電極数が増加しても、表示データが書き込まれた状態での表示品位は悪化しない。また、電極数が増加しても駆動電圧は増大しない。しかし、走査電極数が増加するに従って、表示データを書き込む際の表示の見映えが悪くなる。すなわち、表示状態を書き込んでいくときに各走査電極に一定の印加時間で選択パルスを入力する。このとき、走査電極数が増加すると表示画面上を走査線が流れような様子が視認されるようになる。したがって、走査電極数の増加に伴って選択パルスの印加時間を短くして表示シーケンスを短くする必要がある。

- 15 選択パルスの印加時間を短くした場合、オフ表示（F C 状態）からオン表示（P L 状態）への書き込みは印加電圧振幅を調整することで良好な表示特性を維持できる。これに対して、オン表示（P L 状態）からオフ表示（F C 状態）に書きこむ場合が問題となる。このとき、F C 状態において十分な微散乱状態が得られず、選択反射を示す液晶配列が一部残留することがある。そして、書きこまれたオフ表示（F C 状態）が十分暗くならない。上述したように、C L - L C D の裏面側に黒の吸収層が設けられた場合である。

20 すなわち、表示のコントラスト比が低下する。また、前表示がオン表示（P L 状態）であり、次にオフ表示（F C 状態）に書き込まれた領域と、前表示がオフ表示であり、複数回連続してオフ表示が書きこまれた領域とには、明暗差が生じ表示むらとなることもあった。

- 25 その原因は、選択パルスの印加時間にある。印加時間を短くすると、1 度のオフ表示の書き込みでは、完全な微散乱状態の F C 状態に転移させることができないのである。さらに、書き込まれたオフ表示の光学特性、すなわち、F C 状態の微散乱の程度または選択反射を呈する液晶配列が残留している程度が、それ以前

の状態に依存して変化することにある。

その結果、以前に書き込んだ画像が残像として見えることがある。したがって、良好な表示品位を維持しつつ、選択パルスの印加時間を短くすること、すなわち走査電極数を増加させることは困難であった。

- 5 以上、説明したように、CL-LCDにおいては、走査電極数を増加して表示容量を大きくしようとするコントラスト比が低下したり、表示むらが生じてしまうという課題があった。

言い換えると、表示を高精細化した場合に、表示品位を維持するには書込時間を長時間化する必要がある。しかし、書き込み時間を長くすると、表示画面上を走査線が流れていくのが肉眼で見えるようになってしまう。また、US 3 9 3 6 8 1 5 の駆動法以外に次のような駆動法が知られている。

S I D 9 2, ダイジェスト, 7 5 9 ~ 7 6 1 頁 (1 9 9 2) には、CL-LC にパルス状の電圧を印加し、電圧印加前の液晶の配向状態をPL状態またはFC状態にリセットすることが示されている。図6に駆動波形が示されている。

- 15 また、US 5 9 3 3 2 0 3 では、HO状態にする大きい振幅の電圧パルスに引き続いて、それより振幅が小さい電圧パルスを連続して印加する手法が示されている。

- また、EP 0 9 5 7 3 9 4 A 1 特許公開公報にも、CL-LCDのリセット法が示されている。液晶層をHO状態にせしめる電圧パルスの後に、PL状態にせしめる電圧パルスを印加した後、FC状態にせしめる電圧パルスをさらに印加する。この場合、転移速度が遅い、HO状態からPL状態への相転移を経るため、リセットに要する時間が全体として長くなる。また、PL状態で全画素が一時反射表示状態となるためリセット時にちらつきが発生する。
- 20

- 表示の書き換えの際、前表示を消去した後のCL-LCの状態としては、選択反射を示すPL状態と反射を示さないFC状態のいずれを選んでもよい。しかし、消去時のHO状態は反射を示さないことにより、消去後同様に反射を示さないFC状態にとした方が、特に背景を非反射とするネガ表示の場合、自然な見栄えになる。
- 25

また、「残像」とは選択パルスの印加時間を短くすることによって生じる問題の一つである。これは、書き込まれたオフ状態の光学特性が後に残るために起こるのである。すなわち、F C 状態における液晶の配向状態が、相転移する以前の配向状態に影響され、選択反射時の液晶配列がわずかに残留するからである。

5 このように、従来技術の場合には、1回の短い電圧パルスの印加のみで、選択反射の残留が全くなく、裏面に吸収層を設けた場合に最も低い反射率を呈するF C 状態を得ることは非常に難しい。

10 そこで、本発明では、C L - L C D において、短時間で表示のリセットを行い得る駆動方法を提供しようとする。つまり、高速書き込みの際にも、残像の発生がなく、表示のコントラスト比の低下を防止でき、高品位の高精細表示を行い得る駆動方法および駆動装置の提供を目的とする。

SUMMARY OF THE INVENTION

15 すなわち、本発明の第1の態様は、メモリ性コレステリック液晶を備えた液晶表示装置を駆動する駆動方法において、コレステリック液晶の配向が電圧印加方向にほぼ平行になるように電圧を印加する第1の段階と、前記コレステリック液晶をホモジニアスまたはホモジニアスとプレナーの混在状態に移行させるための電圧を印加する第2の段階と、前記コレステリック液晶をホモジニアスまたはホ
20 モジニアスとプレナーの混在状態からフォーカルコニックに移行させるための電圧を印加する第3の段階とが備えられたことを特徴とする駆動方法を提供する。

25 また、第2の態様は、メモリ性コレステリック液晶を備えた液晶表示装置を駆動する駆動方法において、コレステリック液晶の配向が電圧印加方向にほぼ平行になるように電圧を印加する第1の段階と、前記コレステリック液晶をホモジニアスまたはホモジニアスとプレナーの混在状態に移行させるための電圧を印加する第2の段階と、前記コレステリック液晶をホモジニアスまたはホモジニアスとプレナーの混在状態からフォーカルコニックとプレナーの混在状態に移行させるための電圧を印加する第3の段階とが備えられたことを特徴とする駆動方法を提

供する。

また、第3の態様は、第2の段階の期間を τ_2 とし、電圧印加によりホメオトロピックにあるコレステリック液晶が電圧遮断後最も低い誘電率を示すまでの時間を τ_H とすると、 $0.8 \times \tau_H \leq \tau_2 \leq 8 \times \tau_H$ を満たす第1の態様または第2
5 の態様に記載の駆動方法を提供する。また、第4の態様は、 $\tau_H \leq \tau_2 \leq 5 \times \tau_H$ を満たす第3の態様の駆動方法を提供する。

また、第5の態様は、第2の段階で印加される電圧値は0Vである第1の態様～第4の態様のいずれかの駆動方法を提供する。

また、第6の態様は、第1の段階の印加電圧波形が V_1 の電圧振幅を持ったパルス電圧によって構成され、第3の段階の印加電圧波形が V_3 の電圧振幅を持ったパルス電圧によって構成され、それぞれの段階の印加時間を τ_1 、 τ_3 とすると、 V_1 は V_3 より大きく、かつ、 τ_3 が τ_1 より小さい第1の態様～第5の態様
10 のいずれかの駆動方法を提供する。

また、第7の態様は、第1の段階から第3の段階の後に各表示画素の表示データにもとづく電圧波形を印加するために線順次動作を行う際に、オン表示にはプレナーが書き込まれ、オフ表示にはフォーカルコニックが書き込まれるように印加電圧条件を定める場合、中間調表示にパルス幅変調方式を用いる第1の態様～
15 第6の態様のいずれかの駆動方法を提供する。

また、第8の態様は、メモリ性コレステリック液晶が備えられた液晶表示装置を駆動する駆動装置において、第1の段階の期間を設定する第1の期間設定手段と、第1の段階に続く第2の期間を設定する第2の期間設定手段と、第2の段階に続く第3の期間を設定する第3の期間設定手段と、前記第1の期間設定手段が作成した第1の期間で配向が電圧印加方向にほぼ平行になるように前記コレステリック液晶に電圧を印加し、前記第2の期間設定手段が作成した第2の期間で前
20 記コレステリック液晶をホモジニアスまたはホモジニアスとプレナーの混在状態に移行させるための電圧を印加し、前記第3の期間設定手段が作成した第3の期間で前記コレステリック液晶をホモジニアスまたはホモジニアスとプレナーの混在状態からフォーカルコニックまたはプレナーとフォーカルコニックの混在状態
25

に移行させるための電圧を印加する電圧印加手段とを備えたことを特徴とする駆動装置を提供する。

5 また、第 9 の態様は、メモリ性を有するコレステリック液晶が備えられた液晶表示装置を駆動する駆動方法において、駆動方法は、表示データに対応した電圧条件にもとづいて各画素に電圧を印加する前に、前記コレステリック液晶の配向が電圧印加方向にほぼ平行になるように電圧を印加する第 1 の段階と、前記コレステリック液晶をホモジニアスまたはホモジニアスとプレナーの混在状態に移行させるための電圧を印加する第 2 の段階と、前記コレステリック液晶のホモジニアスまたはホモジニアスとプレナーの混在状態からフォーカルコニックまたはフォーカルコニックとプレナーの混在状態への移行を促進するための電圧を印加する第 3 の段階とが備えられ、前記第 1 の段階の後に前記第 2 の段階および前記第 3 の段階を繰り返すことを特徴とする駆動方法を提供する。

10 また、第 10 の態様は、第 2 の段階で印加される電圧値は 0 V である第 9 の態様の駆動方法を提供する。

15 また、第 11 の態様は、第 2 の段階および第 3 の段階の繰り返し回数が 2 回～10 回である第 9 の態様または第 10 の態様の駆動方法を提供する。

20 また、第 12 の態様は、第 1 の段階の印加電圧波形が V_1 の電圧振幅を持ったパルス電圧によって構成され、第 3 の段階の印加電圧波形が V_3 の電圧振幅を持ったパルス電圧によって構成され、それぞれの段階の印加時間を τ_1 、 τ_3 とすると、 V_1 は V_3 より大きく、かつ、 τ_3 が τ_1 より小さい第 9、第 10 または第 11 の態様の駆動方法を提供する。

25 また、第 13 の態様は、第 1 の段階の印加電圧波形が V_1 の電圧振幅を持ったパルス電圧によって構成され、第 3 の段階の印加電圧波形が V_3 の電圧振幅を持ったパルス電圧によって構成され、それぞれの段階の印加時間を τ_1 、 τ_3 とすると、 V_1 は V_3 と等しく、かつ、 τ_3 が τ_1 より小さい第 9、第 10 または第 11 の態様の駆動方法を提供する。

また、第 14 の態様は、第 1 の段階から第 3 の段階が完了した後に各表示画素の表示データにもとづく電圧波形を印加するために線順次動作を行う際に、オン

表示にはプレナーが書き込まれ、オフ表示にはフォーカルコニックが書き込まれるように印加電圧条件を定める場合、中間調表示にパルス幅変調方式を用いる第9～第13の態様のいずれかの駆動方法を提供する。

5 また、第15の態様は、メモリ性を有するコレステリック液晶が備えられた液晶表示装置を駆動する駆動装置において、第1の段階の期間を設定する第1の期間設定手段と、第1の段階に続く第2の期間を設定する第2の期間設定手段と、第2の段階に続く第3の期間を設定する第3の期間設定手段と、前記第1の期間設定手段が作成した第1の期間で配向が電圧印加方向にほぼ平行になるように前記コレステリック液晶に電圧を印加し、前記第2の期間設定手段が作成した第2の期間で前記コレステリック液晶をホモジニアスまたはホモジニアスとプレナーの混在状態に移行させるための電圧を印加し、前記第3の期間設定手段が作成した第3の期間で前記コレステリック液晶のホモジニアスまたはホモジニアスとプレナーの混在状態からフォーカルコニックまたはプレナーとフォーカルコニックの混在状態への移行を促進するための電圧を印加する電圧印加手段と、前記第1の期間設定手段を動作させた後に前記第2の期間設定手段と前記第3の期間設定手段とを繰り返し動作させる回数制御手段とを備えたことを特徴とする駆動装置を提供する。

10 また、第16の態様は、メモリ性コレステリック液晶が備えられた液晶表示装置を駆動する駆動方法において、駆動方法は、各画素に所定の電圧を印加することによって表示状態を初期化し、表示データに対応した電圧条件にもとづいて各画素に電圧を印加する方法であって、所定温度に対してコレステリック液晶の温度が低い場合には、前記所定温度に対応した電圧印加時間よりも電圧印加時間を長くし、前記所定温度に対してコレステリック液晶の温度が高い場合には、前記所定温度に対応した電圧印加時間よりも電圧印加時間を短くすることを特徴とする駆動方法を提供する。

20 また、第17の態様は、単純マトリクス方式の駆動が行われ、初期化の期間を T_1 、表示データに対応した電圧条件にもとづいて各画素に電圧を印加する期間を T_2 とすると、所定温度に対してコレステリック液晶の温度が低い場合には、

T_1 、 T_2 の長さを、所定温度に対して定められている T_1 、 T_2 の長さよりも長くする第16の態様の駆動方法を提供する。

5 また、第18の態様は、初期化の期間 T_1 が、コレステリック液晶の配向が電圧印加方向にほぼ平行になるように電圧を印加する第1の段階と、前記コレステリック液晶をホモジニアスまたはホモジニアスとプレナーの混在状態に移行させるための電圧を印加する第2の段階と、前記コレステリック液晶をホモジニアスまたはホモジニアスとプレナーの混在状態からフォーカルコニックまたはフォーカルコニックとプレナーの混在状態に移行させるための電圧を印加する第3の段階とを含み、第1の段階、第2の段階、第3の段階の期間をそれぞれ T_{10} 、 T_{11} 、 T_{12} としたときに、所定温度に対してコレステリック液晶の温度が低い場合には、 T_{10} 、 T_{11} 、 T_{12} の長さを、所定温度に対して定められている T_{10} 、 T_{11} 、 T_{12} の長さよりも長くする第17の態様の駆動方法を提供する。

10 また、第19の態様は、所定温度における T_{10} 、 T_{11} 、 T_{12} 、 T_2 を T_{10r} 、 T_{11r} 、 T_{12r} 、 T_{2r} とすると、所定温度に対してCL-LCの温度が低い場合には、 T_{10} 、 T_{11} 、 T_{12} 、 T_2 を、それぞれ、 $n_1 \times T_{10r}$ 、 $n_2 \times T_{11r}$ 、 $n_1 \times T_{12r}$ 、 $m \times T_{2r}$ とし、 $n_2 \geq n_1$ で、 $n_2 \geq m$ である第18の態様の駆動方法を提供する。

15 また、第20の態様は、第所定温度を 25°C とするとき、任意の温度 t_p における表示データに対応した電圧条件にもとづいて各画素に電圧を印加する期間を $T_2(t_p)$ 、 K_A を5～50の液晶材料に依存した定数であるとする、下記式3の関係を満たす第16の態様の駆動方法を提供する。

$$T_2(t_p) = T_2(25) \times 2^{\left((25 - t_p) / K_A\right)} \quad \dots (3)$$

20 また、第21の態様は、所定温度を 25°C とし、 K_B を5～50の液晶材料に依存した定数であるとする、任意の温度 t_p における T_{10} 、 T_{11} 、 T_{12} 、 T_2 に関する倍率 $n(t_p)$ が下記式4の関係（ \wedge は指数を示す）を満たす第19の態様の駆動方法を提供する。

$$n(t_p) = n(25) \times 2^{\left((25 - t_p) / K_B\right)} \quad \dots (4)$$

また、第22の態様は、メモリ性コレステリック液晶が備えられた液晶表示装

置を駆動する駆動方法において、コレステリック液晶の配向が電圧印加方向にほぼ平行になるように電圧を印加する第1の段階と、前記コレステリック液晶をホモジニアスまたはプレナーに移行させるための電圧を印加する第2の段階とを備えたことを特徴とする駆動方法を提供する。

5 また、第23の態様は、第2の段階で印加される電圧値が0 Vである第22の態様の駆動方法を提供する。

また、第24の態様は、第2の段階の期間は、0.3～100 msである第23の態様の駆動方法を提供する。

10 また、第25の態様は、メモリ性コレステリック液晶を備えた液晶表示装置を駆動する駆動装置において、第1の段階の期間を設定する第1の期間設定回路と、第1の段階に続く第2の期間を設定する第2の期間設定回路と、前記第1の期間設定回路が作成した第1の期間で、コレステリック液晶の配向が電圧印加方向にほぼ平行になるように電圧を印加し、前記第2の期間設定回路が作成した第2の期間でコレステリック液晶をホモジニアスまたはプレナーに移行させるための
15 電圧を印加する電圧印加回路とが備えられたことを特徴とする駆動装置を提供する。

また、第26の態様は、液晶表示装置は行電極と列電極が備えられ、単純マトリクス型の駆動が行われ、電圧印加回路には行電極を駆動する行ドライバと、列電極を駆動する列ドライバとが備えられ、第1の期間では、非表示状態の電圧を
20 すべての行電極に印加することを行ドライバに指示するとともに、オン表示時の電圧のすべての列電極に印加することを列ドライバに指示する制御回路が備えられたことを特徴とする第25の態様の駆動装置を提供する。

また、第27の態様は、メモリ性コレステリック液晶を備えた液晶表示装置を駆動する駆動方法において、電圧パルスを印加してホメオトロピックにあるコレ
25 ステリック液晶が前記電圧パルスの遮断後、最も低い誘電率を示すまでの時間を τ_H とすると、コレステリック液晶の配向が電圧印加方向にほぼ平行になるように電圧パルス
を印加し、次に、 τ_H 以内の電圧パルス
を印加して、コレステリック液晶の状態を転移させ、さらに、表示を行うための電圧パルス
を印加すること

を特徴とする駆動方法を提供する。

本発明の発明者らは、CL-LCDをHO状態にする高電圧のパルス印加した直後の液晶分子の再配列の様態を詳細に検討した。まず、印加電圧と電圧消去後の光学特性の関係について説明をする。使用するCL-LCDの誘電率異方性は正で、電圧パルスによって相状態を転移させ、表示を行なうものとする。

最初に、CL-LCDを選択反射を呈するPL状態にする。そして、印加する電圧パルスの印加時間を固定し、電圧振幅を増加させる。電圧振幅が小さいうちは、電圧遮断後、初期のPL状態が変化せず、かつ反射率も変化しない。電圧振幅をさらに増加させると、電圧遮断後、CL-LCDはFC状態になり、微散乱状態を示す。裏側に設けた吸収層による色表示（吸収層が黒の場合には黒表示）が得られる。

さらに電圧振幅を増加させると、電圧遮断後の状態として、初期状態と同様のPL状態が得られる。また、初期状態として、微散乱状態を呈しているFC状態のCL-LCDに電圧パルス印加し、その表示状態の変化を確認する。条件を変更し、繰り返し実験を行った。

初期状態がFC状態の場合に、電圧パルスの印加時間を固定し、電圧振幅を増加させる。電圧振幅が小さいうちは、電圧遮断後、初期のFC状態は変化せず反射率もほとんど変化しない。電圧振幅をさらに増加させると、電圧遮断後の状態として、微散乱と選択反射とが混合した弱い選択反射状態が得られる。さらに電圧を増加させると、電圧遮断後の状態として、選択反射を呈するPL状態が得られるようになる。

すなわち、PL状態のCL-LCDに対して所定の電圧振幅以上の電圧パルス印加し、電圧を遮断する。そうすると、PL状態はFC状態に変化する。FC状態の場合に、さらに電圧振幅の大きな電圧パルス印加すると、電圧遮断後の状態はPL状態となる。高電圧が印加されてPL状態となる場合には、初期状態がPL状態、FC状態のいずれの場合にも、電圧印加時に液晶分子の長軸方向が電圧印加方向に揃うHO状態を経由する。

HO状態にあるCL-LCDが電圧遮断後PL状態に再配列する間には、幾つ

かの液晶配列を経由する。そのため、液晶の粘性によっては数100msから数秒の時間が必要になることがある。

図1は電圧パルスを印加してHO状態にした後の、CL-LCDの相対誘電率の変化を示す。誘電率の変化は、液晶分子の平均的な配向方向の変化を示していると考えられる。電圧遮断後約0.5msで誘電率は最小値を示し、1.5ms程度ではほぼ安定した値となる。すなわち、電圧遮断後0.5ms前後で、液晶分子の平均的な配向方向が基板面に最も平行になることがわかる。

図2は、このCL-LCDの電圧遮断後の反射スペクトルの変化を示す。図中の「0.4~100ms」の時間は、電圧遮断後の経過時間を示す。電圧遮断後1ms程度までは選択反射は見られず、その後徐々に反射強度が大きくなり、HO状態からPL状態への完全な再配列には数100ms以上の時間が必要であることがわかる。

誘電率変化の様態および反射特性から、HO状態にする高電圧の電圧パルスの印加直後に、CL-LCが特別の分子配列をもつことがわかった。すなわち、誘電率が最も小さく液晶分子が基板にほぼ平行で、かつ、所定のピッチのヘリカル構造を持たない過渡的な状態であるホモジニアス液晶配列（以下、HG状態という。）が存在する。また、電圧遮断後からHG状態が発現するまでの時間を τ_H とする。

また、CL-LCはHG状態を経た後、徐々に所定のピッチのヘリカル構造を形成していく。この間の液晶配列をHG状態とPL状態の中間的状态と呼ぶ。できるだけ短時間で良好なFC状態を得るために、HO状態にするための第1の電圧パルス（高い電圧パルス）を印加した後に、第2の電圧パルスを印加し、その後、FC状態にするための第3のパルスを印加する。

第2の電圧パルスの振幅を0Vとし、できるだけ短時間でリセットを達成するために第3の電圧パルスの印加時間を3.3msecとした。この場合のリセット後の反射率と第3の電圧パルスの振幅との関係を図3に示す。

図3中の数値（●：0sec，△：0.3msec，■：1msec，×：3.3msec）は、第2の電圧パルスの幅を示す。第2の電圧パルスの幅が0

s e c の場合は従来技術に相当し、第 2 の電圧パルス印加せず、第 1 の電圧パルスの直後に引き続き第 3 の電圧パルス印加する。

図 3 から明らかなように、第 2 の電圧パルスの幅が τ_H 以下の場合には、得られる F C 状態における反射率が高い。また、第 3 のパルスの最適電圧のマー
5 ジンは小さい。特に、第 2 の電圧パルスを用いないと、短い第 3 の電圧パルスでは F C 状態を形成できない。ここでいう F C 状態とは、F C 状態と P L 状態との混在状態を含むものである。または、準 F C 状態ともいう。図 3 1 (A) に、本発明における基本的な相変化の様子を模式的に示す。H O 状態から、H G 状態、そして準 F C 状態に移
10 移する場合である。図 3 1 (B) は従来技術であり、H O 状態、P L 状態そして F C 状態に移る様子を模式的に示す。

短期間で、F C 状態の形成を可能にするために、H O 状態から H G 状態または H G 状態と P L 状態との混在状態にするための第 2 の電圧パルスの幅はできるだけ小さいことが好ましい。具体的には、第 2 の電圧パルスの幅を τ_2 としたとき
15 に、下記式 1 を満たすことが好ましい。

$$0.8 \cdot \tau_H \leq \tau_2 \leq 8 \cdot \tau_H \quad \dots (1)$$

さらに、下記式 2 を満たすことがより好ましい。

$$\tau_H \leq \tau_2 \leq 5 \cdot \tau_H \quad \dots (2)$$

また、さらに τ_2 を小さくするために、P L 状態での所定の選択反射を示さない H G 状態から第 3 の電圧パルス印加することもできる。

20 以上のことから、第 2 の電圧パルスの印加時間を徐々に小さくすると、 τ_H 付近までは F C 状態が形成される。しかし、 τ_H よりも小さくすると、電圧マージンも小さくなり、かつ F C 状態が十分に形成されない。 τ_H は、図 1 の誘電率の測定手法によって求められるものである。図 2 より、 τ_H 付近からそれ以上のわずかな領域では選択反射を示さない。

25 つまり、 τ_H 付近からそれ以上のわずかな領域では選択反射がなく、または選択反射の程度が低く、第 2 の電圧パルスの幅 τ_2 をそのような領域に設定しても、表示データが書き換わるたびに視認者に違和感を与えるようなことはないと考えられる。本発明では、図 2 に示す特性曲線のうち、P L 状態における反射率の

最大値のおよそ30%以内の場合を、リセット動作に使用できる領域とする。その範囲で、印加する電圧パルス进行调整することで、所望の相状態への転移を制御するようにする。

5 従来技術の駆動法で表示を行なうと、一種のフラッシュ現象が起こる可能性がある。つまり、最初にHO状態で暗状態（裏面の黒色が視認される状態）となり、その後、第2の電圧パルスによるPL状態で明状態となり、さらに第3の電圧パルスによって再び暗状態となる。すると、表示データが書き換わるたびに、表示装置が、暗状態から明状態に変化し、さらに明状態から暗状態に変化することから、視認者に違和感を感じさせる。

10 本発明においては、高速の表示データ書き換えのために初期化過程をできるだけ短時間で行うことができるという利点の他に、上記のような表示データが書き換わるたびに視認者に違和感を与えるようなことがないという利点もある。

15 以上の考察にもとづいて、本発明の実施の形態の基本構成は、表示データに対応した電圧条件にもとづいて各画素に電圧を印加する前に、CL-LCの配向が電圧印加方向にほぼ平行になるように電圧を印加する第1の段階と、CL-LCをHG状態またはHG状態とPL状態の混在状態に移行させるための電圧を印加する第2の段階と、CL-LCをHG状態またはHG状態とPL状態の混在状態から、FC状態に移行させるための電圧を印加する第3の段階とを備える。

20 また、第2の段階で、CL-LCをPL状態での所定の選択反射を示さないHG状態とし、その状態から第3の電圧パルスを印加するようにしてもよい。また、第2の段階で印加される好ましい電圧値は0Vである。

CL-LCDの駆動方法は、第1の段階の印加電圧波形が V_1 の電圧振幅を持ったパルス電圧によって構成され、第3の段階の印加電圧波形が V_3 の電圧振幅を持ったパルス電圧によって構成され、それぞれの段階の印加時間を τ_1 、 τ_3 とすると、 V_1 は V_3 より大きく、かつ、 τ_3 が τ_1 より小さくなるように設定することが好ましい。

また、第1の段階から第3の段階の後に各表示画素の表示データにもとづく電圧波形を印加するために線順次動作を行う際に、オン表示にはPL状態が書き込

まれ、オフ表示にはF C状態が書き込まれるように印加電圧条件を定める場合、中間調表示にパルス幅変調方式を用いてもよい。

BRIEF DESCRIPTION OF THE DRAWINGS

5

図1はH O状態にあるC L-L C Dの電圧パルス印加および遮断後の相対誘電率の変化を示すグラフである。

図2はC L-L C Dの電圧遮断後の反射スペクトルを示すグラフである。

10

図3は第3の電圧パルスの印加時間を3. 3 m sとした場合のリセット後の反射率と第3の電圧パルスの電圧振幅との関係を示すグラフである。

図4はC L-L C Dの断面の模式図である。

図5は電圧パルス(1 3. 3 m s)を印加し消去して表示状態の変化を示す状態図である。

15

図6は電圧パルスの幅を短くした場合(6. 6 m s)の状態図である。

図7は電圧パルスの幅を短くした場合(3. 3 m s)の状態図である。

図8は液晶パネルを駆動する駆動装置の構成例を示すブロック図である。

図9 (A), (B)は模式的に示した駆動波形図である。

図10はI A P T駆動ドライバの機能を説明するための説明図である。

図11は制御信号と印加電圧との関係を示す説明図である。

20

図12は駆動装置(実施の形態A-1)の構成を示すブロック図である。

図13は実施の形態A-1における信号変換回路の構成例を示すブロック図である。

図14は信号変換回路の動作を示すタイミング図である。

図15は駆動装置(実施の形態A-2)の構成を示すブロック図である。

25

図16は実施の形態A-2における信号変換回路の構成例を示すブロック図である。

図17は実施の形態A-2における信号変換回路の動作を示すタイミング図である。

図 18 (a)、(b) は CL-LC の配向状態を示す説明図である。

図 19 はパルス幅変調 (PWM) を用いて FC 状態を書き込むまでの所要回数を示す説明図である。

図 20 は PWM 法のコントローラの構成例を示すブロック図である。

5 図 21 は PWM 法のコントローラの動作を示すタイミング図である。

図 22 は PWM 法のコントローラの動作を示すタイミング図である。

図 23 は温度補償型の駆動装置の構成例を示すブロック図である。

図 24 は温度補型の駆動装置のコントローラを示すブロック図である。

図 25 は温度補償回路の構成例を示すタイミング図である。

10 図 26 は表示シーケンス制御回路の動作を示すタイミング図である。

図 27 は PL 状態でのリセットを行なう場合の駆動波形を示す波形図である。

図 28 は PL 状態でのリセットを行なう駆動回路を示すブロック図である。

図 29 は PL 状態でのリセットを行なう際のタイミングチャートを示す。

15 図 30 は本発明の液晶表示装置の一例における表示状態を示す。および、図 31 (A) は、本発明における CL-LC の相状態の転移を示す模式図、図 31 (B) は従来技術における相転移を示す模式図である。

DESCRIPTION OF THE PREFERRED EMBODIMENTS

20 図 4 に本発明の CL-LCD の模式的断面図を示す。ガラス基板 1 A、1 B、電極 2 A、2 B、高分子薄膜 3 A、3 B、液晶組成物 4、および裏面側に黒色の光吸収体 5 が配置され、FC 状態と PL 状態を安定に表示する CL-LCD である。

25 高分子薄膜 3 A、3 B の代わりにシリカなどの無機薄膜を形成してもよい。しかし、CL-LC に接する薄膜の表面をラビング処理すると、薄膜の種類によっては CL-LC の FC 状態の安定性が失われてしまうことがある。よって、ラビング無しの薄膜を設けるか、または、電極と液晶組成物が直接接するように設ける。

電極間間隙はスペーサー等で保持し、 $2 \sim 15 \mu\text{m}$ が好ましい。さらには、 $3 \sim 6 \mu\text{m}$ が好ましい。電極間隙が小さすぎると表示のコントラスト比が低下し、大きすぎると駆動電圧が上昇するからである。

5 表示の態様は、セグメント表示などの非フルドットマトリックス表示でも、ドットマトリックス表示でもよい。基板は、ガラス基板でも樹脂基板でもよく、また、ガラス基板と樹脂基板の組み合わせでもよい。反射表示素子として用いる場合には、どちらか一方の基板の内面または外面に光吸収体を設置するか、または、基板として光吸収機能を有するものを用いてもよい。

10 電極面内に微量のスペーサーを散布し、対向させた基板の四辺を注入孔を除いてエポキシ樹脂等のシール材で封止し、真空注入によって液晶組成物をセルに満たす。

そして、CL-LCDについて、印加電圧と電圧消去後の光学特性を調べるために、液晶パネルに電圧パルスを印加し、次いで消去して、表示状態を確認する実験を繰り返した。電圧処理を行う前の状態として、PL状態とFC状態のそれぞれを用いた。図5、図6および図7は、実験結果の概略を示す説明図である。
15 図5には、 13.2 ms の電圧パルスを印加し、電圧消去してから10秒後の反射率を測定した場合の電圧振幅と反射率との関係の一例を示した。図5において、菱形(◆)は初期状態がPL状態であった場合を示し、四角形(■)は初期状態がFC状態であった場合を示す。図6および図7には、電圧パルスの幅をより
20 短くした場合の実験結果を示す。

実験結果から、反射率が高い安定状態であるPL状態にするには、その前の状態によらず、 35 V 以上の振幅をもつ電圧を印加することによって実現できることがわかる。言い換えると、電圧印加時に十分に垂直配向するようなパルス電圧処理を行えば、電圧を消去することによってPL状態に変化させ得ることを意味している。また、反射率が低い安定状態であるFC状態は、 23 V の振幅をもつ電
25 圧を印加する処理によって形成できる。

つまり、実験に用いたCL-LCでは、初期状態がいずれの状態であっても、CL-LCDに 35 V 以上の振幅をもつ電圧を 13.2 ms 印加すれば、CL-

LCDをPL状態にすることができる。また、反射率が低い安定状態であるFC状態は、23Vの振幅をもつ電圧を印加する処理によって形成できる。これは、従来技術では困難であった短時間でのリセットを可能にさせるものである。

5 なお、図5～図7に示すような実験結果から求められる条件にしたがって、HO状態に対応する電圧処理を施し、連続してFC状態に対応する電圧処理を実施した場合に、最初の電圧処理時には垂直配向状態を取るが、次の電圧処理を施した後は、必ずしも所定のFC状態にならないことがある。

10 そこで、この実施の形態では、第1の段階である比較的高い電圧を印加する処理を施した後、電圧を印加しない状態すなわち電位差0Vの状態である第2の段階を設ける。その後、FC状態に対応する電圧処理（第3の段階）を実施して、個々の表示データに応じた書き込みを行う。電圧を印加しない状態すなわち電位差0Vの状態の期間（第2段階の期間）は、HO状態からHG状態またはHG状態とPL状態の混在状態になるまでの時間である。ここで、電位差0Vとは、実効的にゼロとして作用し得る、電圧値の小さい電圧パルスであってもよい。

15 以上のような電圧処理において、最初の電圧処理によって、それ以前に書き込まれた状態が完全に消去される。すなわち、CL-LCDは垂直配向状態になる。そして、最初の電圧処理における電位差0Vの期間でCL-LCDの配向状態は、HG状態またはHG状態とPL状態の混在状態に変化する。また、次の電圧処理によって、FC状態またはFC状態とPL状態の混在状態に書き込まれる。

20 また、FC状態への書き込みに対応する次の電圧処理（第3の段階）において印加時間を短くしていくと、FC状態とPL状態の混在状態が得られる。その後、個々の表示データの書き込みによって、オン時には、混在状態からPL状態における表示が得られ、オフ時には、混在状態から完全なFC状態が得られる。したがって、その場合にも、高速で高コントラスト比の表示を実現できる。

25 すなわち、第3の段階において、CL-LCDの状態を十分にFC状態、すなわち選択反射の残留がほとんどない配向状態にせしめる、電圧振幅を印加しなくてもよい。つまり、CL-LCDをPL状態とFC状態の混在状態にするような振幅の電圧を印加してもよい。言い換えれば、選択反射の残留がほとんどないF

C状態にする場合に比べて、より低い電圧を印加したり、電圧印加期間を短くすることができる。

5 以上、説明した第1～第3の段階に続く線順次駆動期間において、選択時にオフ表示するとき、すなわち、FC状態にするときの印加電圧が与えられた後、選択反射の残留がほとんどないFC状態とすることができれば、コントラスト比のよい表示を得ることができる。

10 以下、本発明の実施の形態Aについて図8を参照して説明する。この駆動回路において、コントローラ11から制御信号としてフレーム信号(FR)、行切替を行うラッチパルス信号(LP)、交流化信号または出力反転信号(M)および、非表示信号である/DOFF信号(/DOFF)が行ドライバ12に入力される。列ドライバ13には、コントローラ11から制御信号としてLP信号、クロックパルス信号(CP)、M信号および/DOFF信号と表示データとが入力される。

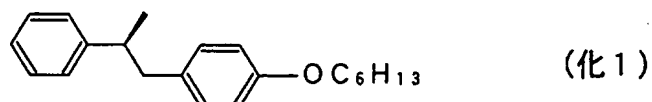
15 行ドライバ12は、FR信号がハイレベルになると先頭行を選択する。LP信号は選択行を1行ずつシフトすることを示す信号に相当する。M信号は、交流化のための信号である。CP信号は、コントローラ11から表示データを列ドライバ13に転送するためのクロックとして用いられる。/DOFF信号がローレベルになると、行ドライバ12および列ドライバ13は、CL-LCD100に印加する電圧レベルをそれぞれ所定のレベル(消去時のレベル V_0)にする。/DOFF信号がハイレベルになっているときは通常書き込みの状態である。

(例A-1)

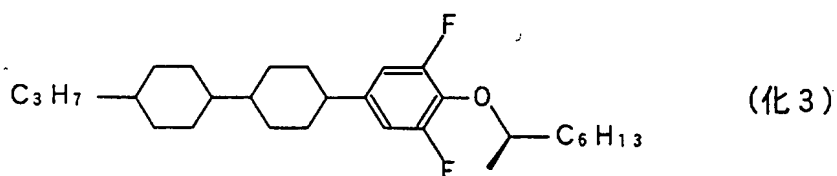
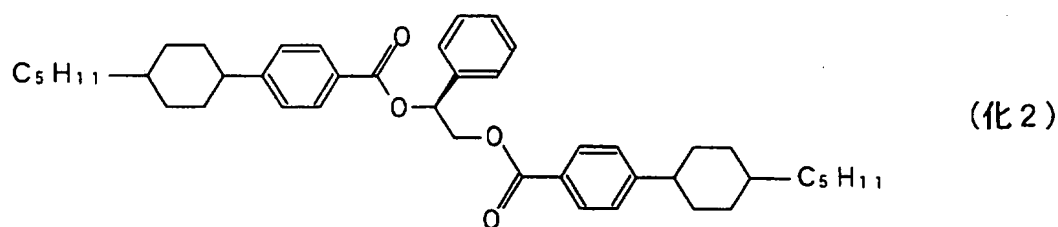
25 ストライプ状の透明電極を有するガラス基板の液晶層と接する面にスピナーコーティングによってポリイミド薄膜を形成した。その後、上下基板面に直径 $4\mu\text{m}$ の樹脂性のスペーサーを散布した。注入孔を除く四辺に、幅約 0.4mm で印刷したエポキシ樹脂を介してストライプ状電極が交差するように、ガラス基板を重ね合わせて、空セルを形成した。

$T_c = 87^\circ\text{C}$ 、 $\Delta n = 0.231$ 、 $\Delta\epsilon = 16.5$ 、粘度 $\eta = 32\text{mPa}\cdot\text{s}$ 、比抵抗 $2 \times 10^{11}\Omega\cdot\text{cm}$ のネマチック液晶84.7部、化学式1に示すカ

イラル剤 5. 1 部、化学式 2 に示すカイラル剤 5. 1 部、化学式 3 に示すカイラル剤 5. 1 部、とを溶解混合し、ヘリカルピッチ約 $0.34\ \mu\text{m}$ のカイラルネマチック液晶（以下、液晶 A という。）を調整した。



5



空セルに液晶 A を真空注入法で注入し、注入孔を紫外線硬化材で封止して液晶パネルを作製した。電極数は、行電極 240 ライン、列電極 320 ラインであり、解像度は約 100 dpi である。この液晶パネルの片方の基板を艶消し用の黒

色塗料をスプレーすることで均一に塗装した。

次に、この液晶パネルの行と列各1本ずつの電極を選び、その交点に40Vの電圧を20msec間印加したところ、印加後に黒塗装していない基板側から見ると交点部分は緑色の反射色を呈した。次に、20Vの電圧を20ms印加したところ、印加後に黒塗装していない基板側から見ると交点部分がほぼ黒色を呈した。

液晶パネル10の全画面を初期化するために、表示シーケンスの開始時に、パネル全体に40Vの電圧を13.2ms間印加した。それに続いて、液晶パネル10に印加される電圧が0になる無印加時間を1ms設けた。その後、FC状態にするための電圧条件として23Vの電圧を3.3ms間全画素に印加した。そして、線順次駆動を実施した。

具体的な駆動手順について図9(A)のタイミング図を用いて説明する。例えば、行ドライバ12が全行電極に V_r を印加し、列ドライバ13が全列電極に V_c を印加する状態にする。たとえば、 V_r は35V、 V_c は-5Vである。すると、液晶パネル10の全画素に40Vの電圧が印加される。図9(A)において、40Vの電圧が印加される期間がリセット部(RST-P)として示されている。また、リセット部は第1の期間に相当する。

その後、印加電圧が0Vになる無印加状態を1ms続けた後、23Vの電圧が3.3msec間全画素に印加されるようにする。具体的には、行ドライバ12および列ドライバ13によって $V_r - V_c$ の電圧を印加する。図9(A)において、それらの期間が無印加部(WAIT-P)およびフォーカルコニック部(FC-P)として示されている。無印加部は第2の期間に相当し、フォーカルコニック部は第3の期間に相当する。

続いて、表示データの書き込みすなわち線順次駆動が始まる。線順次駆動では、選択行が順番に入れ替わり、それに同期して列電極に表示データに応じた列電圧が出力される。駆動電圧波形は適当な周期で極性反転され交流化される。線順次駆動期間において、選択時にはオン表示(PL状態)では $V_r + V_c$ の電圧が印加され、オフ表示(FC状態)では $V_r - V_c$ の電圧振幅が印加される。

この例では、 V_r を 35 V、 V_c を 5 V とした。また 1 回あたり行電極が選択される期間を 3.3 ms とした。図 9 (A) において、線順次駆動期間はアドレッシング部 (ADRS-P) として示されている。フォーカルコニック部とアドレッシング部との間には無印加部を設けても設けなくてもよく、図 9 (A) には、
5 、無印加部を設けた場合が例示されている。

表示データを書き込む前の一連の電圧処理によって、CL-LCD100 が若干の残留反射が残る FC 状態になったことが確かめられた。また、引き続き線順次駆動によって表示書き込みを行うことによって、以上の条件でテストパターンを表示したところ、残像もなく、高コントラスト比の表示が得られた。

10 (例 A-2)

例 A-1 の駆動条件のうち、CL-LCD100 の全体に 40 V の電圧を 13.2 ms 間印加し、それに続いて、印加電圧が 0 V である無印加時間を 1 ms 設けた。次の電圧処理期間すなわちフォーカルコニック部において印加電圧を 24 V とし、2.0 ms 間印加し、線順次駆動を開始しテストパターンを表示するよ
15 うにした。

すると、線順次駆動が開始される前の配向状態が、FC 状態と PL 状態の混在状態であるにも関わらず、線順次駆動による表示状態は、残像もなく、例 A-1 よりやや劣るがコントラストの高い表示状態であった。また、表示シーケンスに要する時間を例 A-1 に比べて短縮できた。

20 以上のように、以前に書込まれた表示状態を完全に消去するには全画素を一旦垂直配向にする必要がある。そのために、例えば 40 V の電圧を CL-LCD100 の全画素に所定期間 (図 9 (A) におけるリセット部) 印加する。ただし、実用上は、印加電圧を低減するために印加時間をより長く設定することもあり得る。

25 本例の結果から、第 3 の段階であるフォーカルコニック部を短縮しても、コントラスト比が比較的高い表示状態が得られることがわかる。フォーカルコニック部を短縮すると、線順次駆動が開始される前の配向状態が PL 状態の選択反射が残留する不十分な FC 状態、すなわち、FC 状態と PL 状態の混在状態になって

いる。しかし、線順次駆動時にオフ表示としてF C状態が書き込まれるので、比較的高いコントラスト比が得られる。

したがって、H O状態にするための電圧条件を V_1 （リセット部の電圧値）および τ_1 （リセット部の期間）、F C状態に書き込むための電圧条件を V_3 （フォーカルコニック部の電圧値）および τ_3 （フォーカルコニック部の期間）とすると、 $V_1 > V_3$ かつ $\tau_1 > \tau_3$ であってもよい。

（比較例A－1）

例A－1の駆動条件において、無印加部の時間を0～0.3msの間で変化させたところ、線順次駆動の駆動条件をどのように変えても、例A－1と同様のコントラスト比の表示を得ることができなかった。

（比較例A－2）

τ_2 が τ_{11} の40倍である20msの場合、リセット時にちらつきが発生した。また、初期化（リセット）の所要時間が相対的に長くなる。この程度の所要時間は1表示シーケンスの構成に大きな影響を与えることになる。

15 （例A－3）

例A－1の駆動条件において、線順次駆動による表示データの書き込み時に、選択期間に対して列電極の印加時間を均等に10分割し、分割された各期間に階調データに応じたオンとオフに相当する電圧を列電極に印加した。そして、そのような電圧印加方法によってテストパターンを表示したところ、表示データに応じた均一な階調表示が得られた。

（比較例A－3）

例A－1の駆動条件において、列電極の印加電圧をオンのときに V_c 、オフのときに $-V_c$ とし、階調データに応じて $n \cdot V_c$ （ $-1 < n < 1$ ）の電圧値を列電極に印加した。電圧値を変えることによって10階調表示を行った。様々なテストパターンを表示させたところ、列電極に平行な表示むらが発生し不均一な階調表示になった。

したがって、中間調表示を行う場合、パルス幅変調を使用すれば良好な階調表示を得ることができるが、振幅変調を使用した場合には良好な階調表示を得るこ

とができないことがわかった。

次に、CL-LCDを駆動する駆動回路について説明する。単純マトリックス型STN液晶表示素子の基本的な駆動方式である線順次選択法（例えば、APT : Alto Pleshko Techniqueやそれを改良したIAPT : Improved APT）を実現する
5 駆動ドライバが専用ICとして広く用いられている。

単純マトリックス型STN液晶表示素子を駆動するためのIAPT駆動ドライバは、一つの行電極ずつにしか選択電圧を印加できない。したがって、それを用いてCL-LCDの全面の初期状態をFC状態に揃えるには、HO状態への遷移に少なくとも1フレーム期間がかかる。さらに、FC状態への遷移に少なくとも
10 1フレーム期間がかかる。ただし、HO状態への遷移を1フレーム期間で行うには、アドレッシング時の1選択時間で行わなければならないので、オン電圧よりも高い電圧を印加する必要が生ずる。

それを実現するには高耐圧のドライバが必要となり、困難である。逆に、オン電圧と等しい印加電圧で十分な垂直配向を得ようとする、1選択時間を長くし
15 なければならない、初期化に要する時間が書き込み時間よりも長くなる。

すなわち、IAPT駆動ドライバをCL-LCDにそのまま適用しようとする、上述した電圧印加処理（第1の段階～第3の段階）を実現できず、初期化に要する時間が1画面を選択する時間の数倍程度になってしまう。すなわち、初期化を含めた1画面の書き換えに必要な時間が長くなってしまふ。そこで、利用し
20 やすいIAPT駆動ドライバを用いた本発明の駆動装置を提案する。

図10および図11は、IAPT駆動ドライバの機能を説明するための説明図である。図10に示すように、列ドライバ(COL-DRV)と行ドライバ(ROW-DRV)はそれぞれ4レベルの液晶駆動電圧を必要とするが、システム全体では6レベルの電圧が必要になる。ここで、 V_L は選択時に行電極に印加される電圧であり、 V_G は行電極に印加されるオン電圧とオフ電圧の差の1/2である。
25

図11に示すように、出力電圧はレベル信号である極性反転信号(M信号)と非表示指示信号(/DOFF信号)に応じて、行ドライバおよび列ドライバでそ

れぞれ決定される。ただし、／DOFF 信号がローレベルである場合には行ドライバおよび列ドライバの全出力は、他の入力信号に関わらずV₀レベルを出力する。

図12は、駆動装置の実施の形態A-1を示すブロック図である。この場合、
5 図8に示す一般的な駆動回路に対して、信号変換回路14がさらに設けられている。信号変換回路14は、コントローラ11と行ドライバ12および列ドライバ13との間に設置され、コントローラ11からの各信号にもとづいて、上述した第1段階（リセット部）、第2の段階（無印加部）および第3の段階（フォーカルコニック部）を作成するための信号を作成し、行ドライバ12および列ドライバ13に供給する。

10 なお、ここでは、信号変換回路14は信号制御回路11と独立したものとして説明を進めるが、それらは一体化されていてもよい。一体化されている場合には、信号のタイミングを最適化できるので、初期化に要する時間を短くすることができる。

15 また、M信号は信号変換回路14が作成した極性反転信号であり、DATAは信号変換回路14が作成した表示データである。DATAは、アドレッシング部では信号制御回路11が出力する表示データと同じになる。／DOFF1信号は信号変換回路14が作成し、列ドライバ13に供給される／DOFF信号であり、／DOFF2信号は信号変換回路14が作成し行ドライバ12に供給される／DOFF信号である。

20 メモリ性のCL-LCDは一度データが書き込まれると、その表示状態を保持するのでフレーム周期毎に書き込みを行う必要はないが、データの書き換えを必要とするタイミングを外部から指示する必要がある。そのための信号が図12に示すスタート信号（START）である。START信号はタイマによって生成
25 した、ある一定期間毎に有効になる信号でもよいし、表示データの発生源であるMPUや外部スイッチからの表示書き換え指示信号であってもよい。図12には、MPUから出力される例が示されている。

図13は、実施の形態A-1における信号変換回路14の構成例を示すブロッ

ク図である。図 1 3 に示す信号変換回路 1 4 において、0. 5 ライン検出回路 2 1 は、LP 信号をトリガとして選択期間の $1/2$ のタイミングを決定し、そのタイミングでレベルが反転するような信号を論理和回路 2 2 に出力する。ダウンカウンタ 2 4 は、FR 信号が入力されたら、 $(N-1)$ をプリセットし、LP 信号の
5 入力に応じてカウント値を 1 減ずるカウンタである。ここで、N は表示行数である。第 1 ～第 5 の比較器（以下、比較器という。）2 5, 2 6, 2 7, 2 8, 2 9 は、それぞれ、ダウンカウンタ 2 4 のカウント値を所定値と比較する。

論理和回路 2 2 は、DOFF 制御回路 3 1 からのマスク信号がローレベル状態であれば、0. 5 ライン検出回路 2 1 の出力信号を M 信号として行ドライバ 1 2
10 および列ドライバ 1 3 に出力し、マスク信号がハイレベル状態であれば、ハイレベルの M 信号を行ドライバ 1 2 および列ドライバ 1 3 に出力する。

また、セレクトア 2 3 は、選択信号の状態に応じて、DATA 信号として、信号制御回路 1 1 からの表示データ、ハイレベルのデータまたはローレベルのデータのいずれかを列ドライバ 1 3 に出力する。

15 スタートフラグ回路 3 0 は、START 信号を FR 信号で同期化し、スタートフラグをセットする。スタートフラグがセットされたことは DOFF 制御回路 3 1 に通知される。また、スタートフラグは、DOFF 制御回路 3 1 の指示に応じてリセットされる。DOFF 制御回路 3 1 は、スタートフラグがセットされている状態において機能する。そして、比較器 2 5, 2 6, 2 7, 2 8, 2 9 の出力
20 の状況に応じて、列ドライバ 1 3 に \neg DOFF 1 信号を与えると同時に、行ドライバ 1 2 に \neg DOFF 2 信号を与える。また、論理和回路 2 2 に対してマスク信号を与え、セレクトア 2 3 に対して選択信号を与える。

次に、図 1 4 のタイミングチャートを参照して動作を説明する。比較器 2 5, 2 6, 2 7, 2 9 は、リセット部（第 1 の段階）の時間長を A、無印加部（第 2
25 の段階）の時間長を B、フォーカルコニック部（第 3 の段階）の時間長を C に設定するために設けられている。各比較器 2 5 ～ 2 9 は、LP 信号をダウンカウントするダウンカウンタ 2 4 のカウント値を導入して、カウント値と所定値とを比較し、それらが一致したら一致信号を出力する。

なお、この実施の形態では、リセット部の時間長Aを設定するための第1の期間設定手段は、ダウンカウンタ24および比較器25、26で実現される。無印加部の時間長Bを設定するための第2の期間設定手段は、ダウンカウンタ24および比較器26、27で実現される。フォーカルコニック部の時間長Cを設定するための第3の期間設定手段は、ダウンカウンタ24および比較器27、29で
5 実現される。第1～第3の段階において所定電圧を印加する電圧印加手段は、論理和回路22、セクタ23およびDOFF制御回路31で実現される。

比較器25の比較のための所定値は $(A+B+C)$ であり、比較器26の比較のための所定値は $(A+B)$ である。また、比較器27の比較のための所定値はBであり、比較器28の比較のための所定値は1である。そして、比較器29の比較のための所定値は0である。なお、 $A+B+C < N$ (N は表示行数)である。
10

スタートフラグがセットされていない状態では、DOFF制御回路31は、全ての列電極および行電極が電位 V_0 である無印加状態になるように、列ドライバ13および行ドライバ12に対する非表示指示信号(\neg DOFF1信号および \neg DOFF2信号)をローレベルに固定する。
15

よって、CL-LCD100は、信号制御回路11からの信号状態に関わらず、電圧無印加状態となる。また、M信号およびDATA信号をハイレベルを固定するために、論理和回路22へのマスク信号をハイレベルに固定し、セクタ23への選択信号をハイレベル("1")が選択されるように設定する。START信号が入力された後、FR信号が入力されると、スタートフラグ回路30において、スタートフラグがセットされる。FR信号はフレーム周期毎に入力される。
20

FR信号が入力されるとダウンカウンタ24に $(N-1)$ がプリセットされる。
25 以後、ダウンカウンタ24は、行切替信号(LP信号)をトリガにしてダウンカウントする。比較器25は、ダウンカウンタ24のカウント値が $(A+B+C)$ に一致するとDOFF制御回路31に一致信号を出力する。DOFF制御回路31は、 \neg DOFF1信号および \neg DOFF2信号がともにローレベルである状

態のときに比較器 2 5 からの一致信号を受け、さらに、LP 信号が入力されると、列ドライバ 1 3 への /DOFF 1 信号をハイレベルに固定する。

この結果、図 1 1 に示す関係にもとづいて、全ての列電極の電圧レベルが V_5 ($V_r + V_c$) となる。また、全ての行電極の電圧レベルは V_0 であるから、全ての画素に対する液晶印加電圧は $V_r + V_c$ となる。例えば、 $V_r = 3.5 \text{ V}$ 、 $V_c = 5 \text{ V}$ であれば、液晶印加電圧は 4.0 V である。

比較器 2 6 は、ダウンカウンタ 2 4 のカウント値が $(B + C)$ に一致すると DOFF 制御回路 3 1 に一致信号を出力する。DOFF 制御回路 3 1 は、/DOFF 1 信号がハイレベルで、かつ、/DOFF 2 信号がローレベルである状態のときに比較器 2 6 からの一致信号を受ける。さらに、LP 信号が入力されると、列ドライバ 1 3 への /DOFF 1 信号をローレベルに固定する。この結果、図 1 1 に示す関係にもとづいて、CL-LCD 1 0 0 は電圧無印加状態になる。

また、このとき、DOFF 制御回路 3 1 は、セクタ 2 3 への選択信号をローレベル ("0") が選択されるように設定する。

液晶印加電圧が $V_r + V_c$ に変化した時点から電圧無印加状態になるまでの期間は、ダウンカウンタ 2 4 のカウント値が「A」進む間の期間であり、図 1 4 に示すように、この期間がリセット部となる。

比較器 2 7 は、ダウンカウンタ 2 4 のカウント値が C に一致すると DOFF 制御回路 3 1 に一致信号を出力する。DOFF 制御回路 3 1 は、/DOFF 1 信号および /DOFF 2 信号がともにローレベルである状態のときに比較器 2 7 からの一致信号を受ける。

さらに、LP 信号が入力されると、列ドライバ 1 3 への /DOFF 1 信号をハイレベルに固定する。この結果、図 1 1 に示す関係にもとづいて、全ての列電極の電圧レベルは V_3 ($V_r - V_c$) となる。また、全ての行電極の電圧レベルは V_0 であるから、全ての画素に対する液晶印加電圧は $V_r - V_c$ となる。例えば、 $V_r = 3.5 \text{ V}$ 、 $V_c = 5 \text{ V}$ であれば、液晶印加電圧は 3.0 V である。

液晶印加電圧が電圧無印加状態に変化した時点から $V_r - V_c$ になるまでの期間は、ダウンカウンタ 2 4 のカウント値が「B」進む間の期間であり、図 1 4 に

示すように、この期間が無印加部となる。

比較器 28 は、ダウンカウンタ 24 のカウント値が 1 に一致すると DOFF 制御回路 31 に一致信号を出力する。DOFF 制御回路 31 は、 \neg DOFF 1 信号がハイレベルで、かつ、 \neg DOFF 2 信号がローレベルである状態のときに比較器 28 からの一致信号を受ける。さらに、LP 信号が入力されると、セクタ 23 への選択信号を、DATA 信号として表示データを選択させるように変化させる。

比較器 29 は、ダウンカウンタ 24 のカウント値が 0 に一致すると DOFF 制御回路 31 に一致信号を出力する。DOFF 制御回路 31 は、 \neg DOFF 1 信号がハイレベルで、かつ、 \neg DOFF 2 信号がローレベルである状態のときに比較器 29 からの一致信号を受け、さらに、LP 信号が入力されると、列ドライバ 13 および行ドライバ 12 への \neg DOFF 1 信号および \neg DOFF 2 信号をハイレベルに固定する。

また、論理和回路 22 へのマスク信号をローレベルに固定し、0.5 ライン検出回路 21 の出力が M 信号となるようにする。従って、線順次駆動によって DATA 信号と M 信号に応じた表示がなされるアドレッシング部が開始される。このとき、オン電圧は $V_i + V_e$ 、オフ電圧は $V_i - V_e$ となる。

液晶印加電圧が $V_i - V_e$ に変化した時点からオン/オフに応じた電圧になるまでの期間は、ダウンカウンタ 24 のカウント値が「C」進む間の期間であり、図 14 に示すように、この期間がフォーカルコニック部となる。

さらに、列ドライバ 13 と行ドライバ 12 への非表示指示信号である \neg DOFF 1 信号と \neg DOFF 2 信号とがともにハイレベルである状態で、比較器 29 から一致信号が出力されると、DOFF 制御回路 31 は、スタートフラグをリセットするとともに、 \neg DOFF 1 信号と \neg DOFF 2 信号とをともにローレベルに固定して全画素に対する液晶印加電圧を 0 V にする。

よって、CL-LCD は書き込み状態を記憶したままの状態になる。また、論理和回路 22 へのマスク信号をハイレベルに固定するとともに、セクタ 23 の出力がハイレベルに固定されるように選択信号を切り替える。そして、次に ST

ART信号が入力されるまでその状態を保持する。

このように、実施の形態A-1では、従来の駆動装置が取り扱うことができるM信号と／DOFF信号とを利用することによって、第1の段階～第3の段階、すなわち、リセット部、無印加部（または待機部）およびフォーカルコニック部
5 を作成する。したがって、IAPT駆動ドライバを本発明に適用できる。

次に、実施の形態A-2の構成を図15に示す。実施の形態A-2では信号変換回路14は、電圧切替指示信号であるSEL信号も出力する。また、電源装置15およびスイッチ回路16が設けられている。電源装置15は、液晶表示パネルを駆動するための通常の電圧であるVLCD1の他に、任意の電圧レベルであるVLCD2を供給可能である。この実施の形態A-2では、電源装置15およびスイッチ回路16も、第1～第3の段階において所定電圧を印加する電圧印加手段の一部である。
10

なお、VLCD1は通常書き込み時におけるオン電圧 V_5 ($V_r + V_c$) に相当する電圧である。VLCD2も同様に V_5 ($V_r + V_c$) に相当する電圧であるが、VLCD1と異なる値である。たとえば、VLCD1が40Vである場合にVLCD2が24Vとなるような電圧値である。スイッチ回路16は、信号変換回路14からのSEL信号に応じて、VLCD1とVLCD2のうちのいずれかを行ドライバ12および列ドライバ13に必要な電圧レベルを分圧することによって供給する。
15

図16は実施の形態A-2における信号変換回路14の構成例を示すブロック図である。図16に示す信号変換回路14において、0.5ライン検出回路21、論理和回路22、ダウンカウンタ24、比較器25～29およびスタートフラグ回路30は、実施の形態A-1のものと同様に動作する。DOFF制御回路31において電源電圧の切替を指示するSEL信号の制御が追加される。また、実施の形態A-1で用いたセクタ23を変更し、論理和回路23Aが設けられている。
20
25

次に、図17のタイミング図を参照して動作について説明する。スタートフラグがセットされていない状態では、DOFF制御回路31は、全ての列電極およ

び行電極が電位 V_0 である無印加状態になるように、列ドライバ13および行ドライバ12に対する非表示指示信号（ \neg DOFF1信号および \neg DOFF2信号）をローレベルに固定する。

5 よって、CL-LCD10は、信号制御回路11からの信号状態に関わらず電圧無印加状態となる。また、M信号およびDATA信号をハイレベルを固定するために、論理和回路22へのマスク信号および論理和回路23Aへのマスク信号をハイレベルに固定する。START信号が入力された後、FR信号が入力されると、スタートフラグ回路30において、スタートフラグがセットされる。FR信号はフレーム周期毎に入力される。

10 FR信号が入力されるとダウンカウンタ24に $(N-1)$ がプリセットされる。以後、ダウンカウンタ24は、行切替信号(LP信号)をダウンカウントする。比較器25は、ダウンカウンタ24のカウント値が $(A+B+C)$ に一致するとDOFF制御回路31に一致信号を出力する。

15 DOFF制御回路31は、 \neg DOFF1信号および \neg DOFF2信号がともにローレベルである状態のときに比較器25からの一致信号を受け、さらに、LP信号が入力されると、列ドライバ13への \neg DOFF1信号をハイレベルに固定する。

この結果、図11に示す関係にもとづいて、全ての列電極の電圧レベルが V_5 ($V_r + V_c$)となる。また、全ての行電極の電圧レベルは V_0 であるから、全
20 全ての画素に対する液晶印加電圧は $V_r + V_c$ となる。例えば、 $V_r = 3.5V$ 、 $V_c = 5V$ であれば、液晶印加電圧は40Vである。

比較器26は、ダウンカウンタ24のカウント値が $(B+C)$ に一致するとDOFF制御回路31に一致信号を出力する。DOFF制御回路31は、 \neg DOFF1信号がハイレベルで、かつ、 \neg DOFF2信号がローレベルである状態のとき
25 に比較器26からの一致信号を受ける。

さらに、LP信号が入力されると、列ドライバ13への \neg DOFF1信号をローレベルに固定する。この結果、図11に示す関係にもとづいて、CL-LCD10は電圧無印加状態になる。

液晶印加電圧が $V_r + V_c$ に変化してから電圧無印加状態になるまでの期間は、ダウンカウンタ24のカウンタ値が「A」進む間の期間であり、図17に示すように、この期間がリセット部となる。

5 比較器27は、ダウンカウンタ24のカウンタ値がCに一致するとDOFF制御回路31に一致信号を出力する。DOFF制御回路31は、 \neg DOFF1信号および \neg DOFF2信号がともにローレベルである状態のときに比較器27からの一致信号を受け、さらに、LP信号が入力されると、列ドライバ13への \neg DOFF1信号をハイレベルに固定する。

10 また、SEL信号をハイレベルに固定する。図15に示すスイッチ回路16は、SEL信号がハイレベルになったことに応じて、電源装置15からのVLCD2を選択して行ドライバ12および列ドライバ13に供給する状態になる。

この結果、図11に示す関係にもとづいて、全ての列電極の電圧レベルは V_5 ($V_r + V_c$)となる。また、全ての行電極の電圧レベルは V_0 であるから、全ての画素に対する液晶印加電圧は $V_r + V_c$ となる。しかし、この段階では、SEL信号がハイレベルであるから液晶印加電圧はVLCD2であり、リセット部
15 および線順次駆動で用いられる通常の $V_r + V_c$ ($=$ VLCD1)とは異なる。
例えば、 $V_r + V_c = 24V$ である。

液晶印加電圧が電圧無印加状態に変化した時点からVLCD2が供給開始されるまでの期間は、ダウンカウンタ24のカウンタ値が「B」進む間の期間であり
20 、図17に示すように、この期間が無印加部となる。

比較器28は、ダウンカウンタ24のカウンタ値が1に一致するとDOFF制御回路31に一致信号を出力する。DOFF制御回路31は、 \neg DOFF1信号がハイレベルで、かつ、 \neg DOFF2信号がローレベルである状態のときに比較器28からの一致信号を受け、さらに、LP信号が入力されると、論理和回路2
25 3Aへのマスク信号をローレベルに固定して、DATA信号として表示データを出力させる。

比較器29は、ダウンカウンタ24のカウンタ値が0に一致するとDOFF制御回路31に一致信号を出力する。DOFF制御回路31は、 \neg DOFF1信号

がハイレベルで、かつ、／DOFF 2 信号がローレベルである状態のときに比較器 29 からの一致信号を受ける。

さらに、LP 信号が入力されると、列ドライバ 13 および行ドライバ 12 への／DOFF 1 信号および／DOFF 2 信号をハイレベルに固定する。

- 5 そして、SEL 信号をローレベルに戻す。この結果、行ドライバ 12 および列ドライバ 13 には、電源装置 15 から VLCD 1 が供給される状態に戻る。また、論理和回路 22 へのマスク信号をローレベルに固定し、0.5 ライン検出回路 21 の出力が M 信号となるようにする。したがって、線順次駆動によって DATA 信号と M 信号に応じた表示がなされるアドレッシング部が開始される。このとき、オン電圧は $V_r + V_c$ 、オフ電圧は $V_r - V_c$ となる。

液晶印加電圧が VLCD 2 にもとづく電圧に変化した時点から通常のオン／オフに応じた電圧になるまでの期間は、ダウンカウンタ 24 のカウント値が「C」進む間の期間であり、図 17 に示すように、この期間がフォーカルコニック部となる。

- 15 さらに、列ドライバ 13 と行ドライバ 12 への非表示指示信号である／DOFF 1 信号と／DOFF 2 信号とがともにハイレベルである状態で、比較器 29 から一致信号が出力されると、DOFF 制御回路 31 は、スタートフラグをリセットするとともに、／DOFF 1 信号と／DOFF 2 信号とをともにローレベルに固定して全画素に対する液晶印加電圧を 0 V にする。よって、CL-LCD は書き込み状態を記憶したままの状態になる。

また、論理和回路 22 へのマスク信号と論理和回路 23A へのマスク信号とをハイレベルに固定し、M 信号および DATA 信号をハイレベルに固定する。そして、次に START 信号が入力されるまでその状態を保持する。

- 25 以上、説明したように、実施の形態 A-2 でも、従来の駆動装置が取り扱うことができる M 信号と／DOFF 信号とを利用することによって、リセット部、無印加部およびフォーカルコニック部を作成できる。したがって、IAPT 駆動ドライバを本発明に適用できる。

しかも、実施の形態 A-2 では、フォーカルコニック部における電圧の振幅を

任意に設定できるので、フォーカルコニック部に求められる最適の電圧値を使用できる。なお、リセット部における電圧の振幅も任意の値に設定できるように構成してもよい。

5 なお、上記の各実施の形態では、LP信号を用いて第1～第3の段階の長さを設定したが、LP信号以外のクロック信号にもとづいて第1～第3の段階の長さを設定してもよい。その場合、より高周波のクロック信号を用いると、初期化の所要時間をより短縮できる。

10 また、上記の各実施の形態では、第1の段階（リセット部）および第3の段階（フォーカルコニック部）において、CL-LCに対して正のパルス電圧を印加したが、それぞれの段階において、電圧振幅の絶対値が等しい正のパルスと負のパルスとを印加するようにしてもよい。

15 次に、パルス幅変調方式を用いた実施の形態Bについて説明する。図19は、その実験結果を示す説明図である。印加時間1msでは、約5回の電圧印加で、CL-LCをほぼ完全なFC状態にすることができる。ところが、1回のみの電圧印加で同様な状態を実現するには、10msの印加時間が必要になる。以上のように、1回の電圧印加でFC状態を実現するよりも、短い印加時間で電圧を何度も印加する方がFC状態を実現するための合計の時間を小さくすることができることがわかる。

20 すなわち、表示データを書き込むための準備期間では、CL-LCに対して一旦、HO状態にする電圧を印加してそれ以前の表示状態をリセットした後、電圧を印加しない状態すなわち電位差0Vの期間を設ける。さらに、CL-LCをFC状態とPL状態の中間状態にするような電圧パルスを短い印加時間で断続的に印加する。この方法によって、CL-LCを選択反射の残留がほとんどないFC状態またはFC状態とPL状態の中間状態とし、その状態で表示データに対応する電圧書き込みを行うのがよい。

25 このような駆動法によれば、一連の画像を更新するシーケンスに要する時間をさらに短縮できる。また、電位差0Vの期間で、CL-LCはHG状態またはHG状態とPL状態の中間状態に移行するので、効率的にリセット時間の短縮を図

ることができる。

さらには、初期状態がF C状態またはF C状態とP L状態の混在状態に設定されることから、P L状態で全画素が一時反射表示状態となるためにリセット時にちらつきが発生するという事もない。

- 5 また、図5～図7に示すように、印加時間を短くするとF C状態が書き込まれる最適電圧は上昇していく。従って、垂直配向にするための印加電圧を V_1 、印加時間 τ_1 とし、F C状態またはF C状態とP L状態との混在状態を書き込むための1回あたりの印加電圧を V_3 、印加時間を τ_3 としたときに、 V_3 および τ_3 を適切に選択すれば、 $\tau_1 > \tau_3$ という条件下で、 V_1 と V_3 を共通化することができる。よって、駆動ドライバーの回路構成を簡略化できる。

- 10 図20はコントローラ11の構成例を示すブロック図である。発振器21は所定周波数のクロック信号(C L K)を発生する。基準カウンタ22は、C L Kを入力してカウントする。ラインカウンタ23は、基準カウンタ22のカウント値が所定値になると、その値を+1する。比較器24は、基準カウンタ22のカウント値(D O T)、ラインカウンタ23のカウント値(L I N E)および設定レジスタ25の設定値($N_1 \sim N_5$)を入力し、C P信号、M信号、L P信号、／D O F F 1信号、／D O F F 2信号およびS E L信号を作成する。S E L信号はセレクトア27に出力される。

- 15 メモリ26には、M P U 20からの表示データが格納されている。セレクトア27は、S E L信号に応じて、メモリ26内のデータ、“1”固定信号および“0”固定信号のうちのいずれかを選択し、選択したデータをD A T A信号としてC L - L C Dに出力する。

- 20 設定レジスタ25には、M P U 20から電圧印加時間の設定のための設定値が書き込まれる。各時間は、発振器21から出力されるクロック数で換算された値である。ここでは、垂直配向のための高電圧印加時間(第1の段階の期間)を N_1 、無印加部の時間(第2の段階の期間)を N_2 、F C状態への転移のための電圧印加時間(第3の段階の期間)を N_3 、 N_2 と N_3 との繰り返し回数を N_4 、線順次駆動における1選択時間を N_5 とする。

CL-LCDは一度データが書き込まれると、その表示状態を保持するのでフレーム周期毎に書き込みを行う必要はないが、データの書き換えを必要とするタイミングを外部から通知する必要がある。そのために、MPUから設定レジスタ25に表示書き換えの指示がなされる。設定レジスタ25に表示書き換え指示が
5 設定されると、比較器24にSTART信号が出力される。

なお、この実施の形態Bでは、垂直配向のための高電圧印加期間を設定するための第1の期間設定手段、無印加部の時間を設定するための第2の期間設定手段およびFC状態への遷移のための電圧印加時間を設定するための第3の期間設定手段は、ともに、基準カウンタ22、ラインカウンタ23、設定レジスタ25および比較器24で実現される。第1～第3の段階において所定電圧を印加する電圧印加手段は、メモリ26、セクタ27および比較器24で実現される。また、第2の段階と第3の段階とを繰り返す回数制御手段は、設定レジスタ25および比較器24で実現される。

次に、図21のタイミング図を参照して動作の説明をする。ここでは、 $N_4 = 2$ とし、線順次駆動におけるオン電圧を $V_r + V_c$ 、オフ電圧を $V_r - V_c$ とする。
15

コントローラ11は、MPU20から表示開始が指示されるまで初期状態とする。すなわち、CP信号をローレベルに、LP信号をローレベルに、M信号をハイレベルに、DATAをハイレベルに、/DOFF1信号および/DOFF2信号をローレベルに維持する。/DOFF1信号と/DOFF2信号とがともにローレベルであるので、すべての行電極および列電極が電位 V_0 である液晶無印加状態となる。また、基準カウンタ22およびラインカウンタ23はともに0を保持する。
20

MPU20から表示開始が指示されると、設定レジスタ25においてSTARTフラグがセットされ、START信号がハイレベルになる。START信号がハイレベルになると、比較器24は、基準カウンタ22を動作状態にする。基準カウンタ22は、発振器21からのクロック(CLK)に応じてカウント値を1ずつ増やす。ラインカウンタ23の値が0の場合には、基準カウンタ22は、その
25

値が N_5 と一致するまでカウントアップする。

比較器24は、基準カウンタ22のカウント値が偶数の場合にCP信号をハイレベルにし、奇数の場合にはローレベルにして、表示素子のドット数に適合したパルス数分だけCP信号を出力する。この間、DATAはハイレベルであるから

5、列ドライバ13の内部レジスタの値は、全てハイレベルになる。

基準カウンタ22のカウント値が N_5 と一致すると、比較器24は、CNT信号を1クロック期間ハイレベルにする。このCNT信号に応じて、基準カウンタ22は値を0に戻し、ラインカウンタ23は値を+1する。また、このとき、LP信号を1クロック期間ハイレベルにする。よって、列ドライバ13の内部レジスタの値が列ドライバ13の出力に反映される。

ラインカウンタ23の値が1になると、比較器24は、/DOFF2信号をハイレベルにする。図11に示す関係から、全ての列電極の電圧レベルが V_5 ($V_r + V_c$) となる。また、全ての行電極の電圧レベルは V_0 であるから、全ての画素に対する液晶印加電圧は $V_r + V_c$ となる。すなわち、液晶の垂直配向に必要な電圧が表示面の全面に印加される。

また、比較器24は、DATAをローレベルに固定するようなSEL信号を出力する。セレクトア27は、そのようなSEL信号に応じて"0"を選択する。そして、比較器24は、CP信号を順次出力して、列ドライバ13の内部レジスタの値を全てローレベルにする。基準カウンタ22は、カウント値が N_1 と一致するまでカウントアップし、カウント値が N_1 と一致するとカウント値を0に戻す。このとき、ラインカウンタ23の値が+1されて2になる。

ラインカウンタ23の値が $2n$ ($1 \leq n \leq N_4$) になると、比較器24は、/DOFF2信号をローレベルにして、列ドライバ13の出力電位をすべて V_0 にする。よって、液晶印加電圧は0Vとなる。基準カウンタ22は、カウント値が N_2 と一致するまでカウントアップする。そして、カウント値が N_2 と一致すると、基準カウンタ22のカウント値を0に戻し、ラインカウンタ23の値を+1する。ラインカウンタ23の値が2から3に変化する場合に、比較器24は、LP信号を1クロック期間ハイレベルにする。その結果、列ドライバ13の内部レ

ジスタの値が列ドライバ13の出力に反映される。

ラインカウンタ23の値が $2n+1$ ($1 \leq n \leq N_4$) のときには、比較器24は、 $\neg DOFF2$ 信号をハイレベルにする。このとき、M信号はハイレベルであり、列ドライバ13にラッチされているDATAはローレベルであるから、図1
5 1に示す関係にもとづいて全ての列電極に対する印加電圧は V_3 となり、全ての画素に対する液晶印加電圧は V_3 ($V_r - V_c$) となる。よって、FC状態を形成するのに必要な電圧が全面に印加される。基準カウンタ22は、カウント値が N_3 と一致するまでカウントアップし、カウント値が N_3 と一致すると基準カウンタ22のカウント値が0に戻り、ラインカウンタ23の値が+1される。

10 ラインカウンタ23の値が $2n+1$ の場合に、その値が $(2 \cdot N_4 + 1)$ であるときには、比較器24は、DATAとしてメモリ26からの表示データを選択するようなSEL信号を出力する。セレクト27は、そのようなSEL信号に応じてメモリ26からの表示データを選択する状態になる。そして、比較器24は、CP信号を順次出力して、列ドライバ13の内部レジスタに表示データを入れる。

15 基準カウンタ22は、カウント値が N_3 と一致するまでカウントアップし、カウント値が N_3 と一致すると基準カウンタ22のカウント値が0に戻り、ラインカウンタ23の値が+1される。この例では、この段階のラインカウンタ23の値は6である。比較器24は、LP信号を1クロック期間ハイレベルにして、列ドライバ13の内部レジスタの値を列ドライバ13の出力に反映させる。また、
20 LP信号のパルスを含むようにFR信号を一定期間ハイレベルにし、行ドライバ12に先頭行からの走査を指示する。

ラインカウンタの値が $(2 \cdot N_4 + 1)$ を越えている場合には、比較器24は、 $\neg DOFF1$ 信号および $\neg DOFF2$ 信号をハイレベルに固定する。よって、列ドライバ12および行ドライバ13の出力として線順次駆動に必要な電圧が
25 出力される。図10では、この期間がアドレッシング部として示されている。

比較器24は、アドレッシング部において、基準カウンタ22のカウント値が $(N_5/2)$ より小さい場合はM信号をローレベルにし、 $(N_5/2)$ 以上であればハイレベルにして、線順次駆動時の液晶印加電圧を交流化させる。また、次

の選択行のためにDATAとしてメモリ26の表示データを出力する。DATAは、CP信号によって列ドライバ13の内部レジスタに取り込まれる。

基準カウンタ22はカウント値が N_5 と一致するまでカウントアップし、 N_5 と一致すると基準カウンタ22のカウント値が0に戻され、ラインカウンタ23の値が+1される。比較器24は、ラインカウンタ23の値が+1される毎に、LP信号をパルス出力して、行ドライバ12に対して次の行の走査を指示するとともに、列ドライバ13に対して次の表示データの出力を指示する。

ラインカウンタ23の値が $(2 \cdot N_4 + 1 + \text{表示行数})$ になると、比較器24は、CP信号およびLP信号をローレベルにし、SEL信号でセクタ26に対して「1」のDATAを出力するように指示し、M信号をハイレベルに固定する。そして、基準カウンタ22のカウント値が N_5 と一致したら、CLR信号を1クロック期間ハイレベルにして、基準カウンタ22およびラインカウンタ23を0クリアする。また、/DOFF1信号および/DOFF2信号をローレベルにして液晶印加電圧を0Vにし、STARTフラグをクリアして初期状態に戻る。

以上、説明したように、例B-1では、M信号と/DOFF信号とを利用することによって、第1の段階～第3の段階、すなわち、リセット部、無印加部およびフォーカルコニック促進部（FC状態への転移を促進する状態）を作成する。したがって、IAPT駆動ドライバを本発明に適用できる。

そして、無印加部およびフォーカルコニック促進部を複数回(N_4 回)繰り返す。したがって、1パルスでFC状態を実現する場合に比べて短時間で、CL-LCD10を十分なFC状態に初期化することができる。なお、ここでは、 $N_4 = 2$ としたが、図20に示す構成で、 N_4 の値を任意の値にして初期化を行うことができる。

次に、発明の実施の形態B-2について、図22のタイミング図を参照して説明する。なお、コントローラ11の構成は図20に示された構成と同じでよい。

実施の形態B-2では、ラインカウンタ23の値が1になると、比較器24は、/DOFF2信号をハイレベルし、比較器24は、DATAをローレベルに固定するようなSEL信号を出力する。しかし、比較器24はCP信号を出力しな

い。よって、列ドライバ13の内部レジスタの値はハイレベルのままである。基準カウンタ22は、カウント値が N_1 と一致するまでカウントアップし、カウント値が N_1 と一致するとカウント値を0に戻す。このとき、ラインカウンタ23の値が+1されて2になる。

- 5 例B-2では、ラインカウンタ23の値が $2n+1$ ($1 \leq n \leq N_4$) のときには、比較器24は、 $\text{DOFF}2$ 信号をハイレベルにするのであるが、このとき、M信号はハイレベルであり、列ドライバ13にラッチされているDATAは全てハイレベルであるから、図11に示す関係にもとづいて列ドライバ13の出力電位は全て V_5 となり、液晶印加電圧は V_5 ($V_r + V_c$) となる。

- 10 その他の段階での動作は実施の形態Aの動作と同じである。例B-2では、第1の段階および第3の段階で同じ電圧がCL-LCD10に印加される。すなわち、CL-LCをHO状態に配向させるための印加電圧値と、FC状態にするための印加電圧値を共通化できた。

(例B-1)

- 15 例A-1と同様にして液晶パネルを形成した。次に、この液晶パネルの行、列各1本ずつの電極を選び、その交点に40Vの電圧を20ms間印加したところ、印加後に黒塗装していない基板側から見ると交点部分は緑色の反射色を呈した。次に、20Vの電圧を20ms印加したところ、印加後に黒塗装していない基板側から見ると交点部分がほぼ黒色を呈した。

- 20 液晶パネルの全画面を初期化するために、表示面の全体に45Vの電圧を5ms印加した。それに続いて、液晶パネルに印加される電圧が0Vになる無印加部を0.3msを設けた。その後、FC状態にするための電圧として33Vの電圧を1ms間印加した。無印加部とFC状態にするための電圧印加期間とを計5回繰り返した後、線順次駆動を実施した。

- 25 行電極が選択される期間をそれぞれ0.1msとした。なお、0.3msの電圧無印加部では、CL-LCはHG状態またはHG状態とPL状態の混在状態に移行するので、効率的にリセット時間の短縮を図ることができる。

すると、表示データを書き込む前の一連の電圧処理によって十分FC状態が書

き込まれ、コントラスト比の高い表示が得られた。すなわち、テストパターンを表示したところ、残像もなく、高コントラスト比の表示が得られた。なお、一連の表示書き込み動作に要する時間は17.5msであった。

(比較例B-1)

- 5 例B-1の場合と同様に、全画面を初期化するために、パネル全体に45Vの電圧を5ms印加した。それに続いて、液晶パネルに印加される電圧が0Vになる無印加部を0.3msを設けた。その後、FC状態にするための電圧として23Vの電圧を10ms間印加し、その後、線順次駆動を実施した。行電極が選択される期間をそれぞれ0.1msとした。

- 10 テストパターンを表示したところ、残像もなく、高コントラストの表示が得られたが、一連の表示書き込み動作に要する時間は、21.3msと例B-1の場合に比べて長くかかった。

(例B-2)

- 15 例B-1の場合と同様に、全画面を初期化するために、パネル全体に45Vの電圧を5ms印加した。それに続いて、液晶パネルに印加される電圧が0Vになる無印加部を0.3msを設けた。その後、FC状態にするための電圧として45Vの電圧を0.3ms間印加した。無印加部とFC状態とするための電圧印加期間とを計8回繰り返した後、線順次駆動を実施した。行電極が選択される期間をそれぞれ0.1msとした。

- 20 テストパターンを表示したところ、残像もなく、高コントラスト比の表示が得られたが、また一連の表示書き込み動作に要する時間は15.8msとなり、さらに所要時間を改善できた。また全画面を初期化するための工程のうち、垂直配向にするための電圧条件、すなわち、45V、5msを共通化できた。

- 25 このことは、電源回路の電圧レベルを削減することができるので、駆動回路の実用化の際に有利となる。また、無印加部とFC状態にするための電圧印加期間との繰り返し回数は10回程度以下であることが好ましい。

(比較例B-2)

例B-2の場合と同様に、全画面を初期化するために、パネル全体に45Vの

電圧を5ms印加した。それに続いて、液晶パネルに印加される電圧が0Vになる無印加部を0.3msを設けた。その後、FC状態にするための電圧として45Vの電圧を10ms間印加し、その後、線順次駆動を実施した。

- 5 行電極が選択される期間をそれぞれ0.1msとした。テストパターンを表示したところ、残像もなく、高コントラスト比の表示が得られたが、一連の表示書き込み動作に要する時間は、21.3msと例B-2の場合に比べて長くかった。

(例B-3)

- 10 例B-1の駆動条件において、線順次駆動による表示データの書き込み時に、選択期間に対して列電極の印加時間を均等に10分割し、分割された各期間に階調データに応じたオンとオフに相当する電圧を列電極に印加する。そして、そのような電圧印加方法によってテストパターンを表示したところ、表示データに応じた均一な階調表示が得られた。

(比較例B-3)

- 15 例B-1の駆動条件において、列電極の印加電圧をオンのときに V_c 、オフのときに $-V_c$ とし、階調データに応じて $n \cdot V_c$ ($-1 < n < 1$)の電圧値を列電極に印加した。電圧値を変えることによって10階調表示を行った。様々なテストパターンを表示させたところ、列電極に平行な表示むらが発生し、不均一な階調表示になった。

- 20 また、中間調表示を行う場合、パルス幅変調を使用すれば良好な階調表示を得ることができる。しかし、振幅変調を使用した場合には良好な階調表示を得ることができない。

- 25 次に、より広い温度範囲で駆動を行うことのできる、本発明の実施の形態Cについて説明する。図23は駆動装置の実施の一形態を示すブロック図である。コントローラ11から制御信号としてFR信号、LP信号、M信号および/DOFF1信号が行ドライバ12に入力される。列ドライバ13には、コントローラ11からLP信号、CP信号、M信号および/DOFF2信号と表示データ(DATA)とが入力される。/DOFF1信号はコントローラ11が作成し、列ドラ

イバ13に供給される／DOFF信号であり、／DOFF2信号は制御装置11が作成し、行ドライバ12に供給される／DOFF信号である。また、行ドライバ12および列ドライバ13には、電源装置14から必要な電圧が供給される。

5 行ドライバ12は、FR信号がハイレベルになると先頭行を選択する。LP信号は選択行を1行ずつシフトすることを示す信号に相当する。M信号は、交流化のための信号である。CP信号は、コントローラ11から表示データを列ドライバ13に転送するためのクロックとして用いられる。／DOFF信号がローレベルになると、行ドライバ12および列ドライバ13は、液晶パネル10に印加する電圧レベルをそれぞれ所定のレベル（消去時のレベル V_0 ）にする。／DOFF
10 F信号がハイレベルになっているときは通常書き込みの状態である。

データの書き換えのタイミングを指示するのがSTART信号である。START信号はタイマによるある一定期間毎に有効になる信号でもよいし、表示データの発生源であるMPUや外部スイッチからの表示書き換え指示信号であってもよい。図23では、MPU20から出力される例が示されている。

15 さらに、液晶パネル10の近傍には温度センサ81が設けられ、温度センサ81の検出出力は温度補償回路40に入力する。温度補償回路40は、温度センサ81の検出出力に応じた印加時間指示信号をコントローラ11に与える。

図24はコントローラ11の構成例を示すブロック図である。発振器21は、所定周波数のクロック信号（CLK）を発生する。基準カウンタ22は、CLK
20 を入力してカウントする。ラインカウンタ23は、基準カウンタ22のカウント値が所定値になると、その値を+1する。比較器24は、基準カウンタ22のカウント値（DOT）、ラインカウンタ23のカウント値（LINE）および設定レジスタ25の設定値（ $N_1 \sim N_4$ ）を入力し、CP信号、M信号、LP信号、／DOFF1信号、／DOFF2信号およびSEL信号を作成する。SEL信号
25 はセレクトア27に出力される。

メモリ26には、MPU20からの表示データが格納されている。セレクトア27は、SEL信号に応じて、メモリ26内のデータ、“1”固定信号および“0”固定信号のうちのいずれかを選択し、選択したデータをDATA信号としてC

L-LCD10に出力する。

設定レジスタ25には、温度補償回路40から電圧印加時間の設定のための印加時間指示信号（設定値）が書き込まれる。この実施の形態では、設定値は、発振器21から出力されるクロック数で換算された値であるとする。ここでは、垂直配向のための高電圧印加時間（第1の段階の期間）を N_1 、無印加部の時間（第2の段階の期間）を N_2 、FC状態への遷移のための電圧印加時間（第3の段階の期間）を N_3 、線順次駆動における1選択時間を N_4 とする。

データの書き換えを必要とする場合には、MPUから設定レジスタ25に表示書き換えの指示がなされる。設定レジスタ25に表示書き換え指示が設定されると、比較器24にSTART信号が出力される。

図25は温度補償回路40の一構成例を示すブロック図である。温度センサ81の検出出力は、A-D変換器41でデジタル信号に変換され、アドレス変換器42に与えられる。レジスタ55には、各温度に対応した第1の段階の期間および第3の段階の期間に関する温度係数が格納されている。また、レジスタ56には、各温度に対応した第2の段階の期間に関する温度係数が格納されている。そして、レジスタ57には、各温度に対応したアドレッシング部の期間に関する温度係数が格納されている。各温度係数格納領域は、検出温度に対応したアドレスになっている。

例えば、検出温度が6.5℃を越えて7.5℃であれば、アドレス変換器42は、レジスタ55、56、57における7.0℃に対応した温度係数 n_1 、 n_2 、 m が格納されているアドレスを出力する。図25において、7.0℃に対応した温度係数 n_1 、 n_2 、 m は、 $n_1(7.0)$ 、 $n_2(7.0)$ 、 $m(7.0)$ として示されている。

ここで、 $n_2 \geq n_1$ であり、 $n_2 \geq m$ である。そして、各レジスタ55、56、57において、温度が低い方の値がより大きな値である。この実施の形態では、最も高い温度に対応した温度係数を「1」としているのので、レジスタ55、56、57に格納されている各値は、1以上の値である。

レジスタ51には、所定温度（この例では7.0℃）における第1の段階の長さ

を示すデータ ($T10r$) が格納されている。また、レジスタ52には、所定温度 (この例では 70°C) における第2の段階の長さを示すデータ ($T11r$) が格納されている。そして、レジスタ53には、所定温度 (この例では 70°C) における第3の段階の長さを示すデータ ($T12r$) が格納されている。また、レジスタ54には、所定温度 (この例では 70°C) におけるアドレッシング部の長さを示すデータ ($T2r$) が格納されている。なお、アドレッシング部の長さを示すデータは、1表示シーケンス全体の長さを示すデータでもよいし、1選択期間を示すデータでもよい。

乗算器61は、レジスタ55の出力とレジスタ51の出力とを乗算して印加時間指示信号を作成する。すなわち、 $n_1 \cdot T10r$ の演算を行って印加時間指示信号を作成する。この印加時間指示信号は、図24に示す比較器24が用いる N_1 (第1の段階：リセット部の長さ) に相当する。乗算器62は、レジスタ55の出力とレジスタ53の出力とを乗算して印加時間指示信号を作成する。

すなわち、 $n_1 \cdot T11r$ の演算を行って印加時間指示信号を作成する。この印加時間指示信号は、図24に示す比較器24が用いる N_3 (第3の段階：フォーカルコニック部の長さ) に相当する。

また、乗算器63は、レジスタ56の出力とレジスタ52の出力とを乗算して印加時間指示信号を作成する。すなわち、 $n_2 \cdot T11r$ の演算を行って印加時間指示信号を作成する。この印加時間指示信号は、図24に示す比較器24が用いる N_2 (第2の段階：無印加部の長さ) に相当する。

そして、乗算器64は、レジスタ57の出力とレジスタ54の出力とを乗算して印加時間指示信号を作成する。すなわち、 $m \cdot T2r$ の演算を行って印加時間指示信号を作成する。この印加時間指示信号は、アドレッシング部の期間の長さ N_4 に相当する。ただし、この例では、 N_4 は1選択期間を示す値であるとする。

次に、図26のタイミング図を参照して動作について説明する。ここでは、CL-LCを垂直配向させるために必要な液晶印加電圧および線順次駆動におけるオン電圧を $V_r + V_c$ 、CL-LCをFC状態とPL状態の混在状態に移行させ

るために必要な液晶印加電圧および線順次駆動におけるオフ電圧を $V_r - V_c$ とする。

コントローラ11は、MPU20から表示開始が指示されるまで初期状態とする。すなわち、CP信号をローレベルに、LP信号をローレベルに、M信号をハイレベルに、DATAをハイレベルに、 \neg DOFF1信号および \neg DOFF2信号をローレベルに維持する。 \neg DOFF1信号と \neg DOFF2信号とがともにローレベルであるので、すべての行電極および列電極が電位 V_0 である液晶無印加状態となる。また、基準カウンタ22およびラインカウンタ23はともに0を保持する。

MPU20から表示開始が指示されると、設定レジスタ25においてSTARTフラグがセットされ、START信号がハイレベルになる。START信号がハイレベルになると、比較器24は、基準カウンタ22を動作状態にする。基準カウンタ22は、発振器21からのクロック(CLK)に応じてカウント値を1ずつ増やす。

ラインカウンタ23の値が0の場合には、基準カウンタ22は、その値が N_4 と一致するまでカウントアップする。比較器24は、基準カウンタ22のカウント値が偶数の場合にCP信号をハイレベルにし、奇数の場合にはローレベルにして、表示素子のドット数に適合したパルス数分だけCP信号を出力する。この間、DATAはハイレベルであるから、列ドライバ13の内部レジスタの値は、全てハイレベルになる。

基準カウンタ22のカウント値が N_4 と一致すると、比較器24は、CNT信号を1クロック期間ハイレベルにする。このCNT信号に応じて、基準カウンタ22は値を0に戻し、ラインカウンタ23は値を+1する。また、このとき、LP信号を1クロック期間ハイレベルにする。よって、列ドライバ13の内部レジスタの値が列ドライバ13の出力に反映される。

ラインカウンタ23の値が1になると、比較器24は、 \neg DOFF2信号をハイレベルにする。実施の形態Aと同様であり、図11に示す関係から、全ての列電極の電圧レベルが V_5 ($V_r + V_c$) となる。また、全ての行電極の電圧レベル

は V_0 であるから、全ての画素に対する液晶印加電圧は $(V_r + V_c)$ となる。

すなわち、垂直配向に必要な液晶電圧が全面に印加される。

また、比較器24は、DATAをローレベルに固定するようなSEL信号を出力する。セクタ27は、そのようなSEL信号に応じて"0"を選択する。そして、比較器24は、CP信号を順次出力して、列ドライバ13の内部レジスタの値を全てローレベルにする。基準カウンタ22は、カウント値が N_1 と一致するまでカウントアップし、カウント値が N_1 と一致するとカウント値を0に戻す。このとき、ラインカウンタ23の値が+1されて2になる。

ラインカウンタ23の値が「2」になると、比較器24は、/DOFF2信号をローレベルにして、列ドライバ13の出力電位をすべて V_0 にする。よって、液晶印加電圧は0Vとなる。次に、基準カウンタ22は、カウント値が N_2 と一致するまでカウントアップする。

そして、カウント値が N_2 と一致すると、基準カウンタ22のカウント値を0に戻し、ラインカウンタ23の値を+1する。ラインカウンタ23の値が2から3に変化する場合に、比較器24は、LP信号を1クロック期間ハイレベルにする。その結果、列ドライバ13の内部レジスタの値が列ドライバ13の出力に反映される。

ラインカウンタ23の値が「3」のときには、比較器24は、/DOFF2信号をハイレベルにする。このとき、M信号はハイレベルであり、列ドライバ13にラッチされているDATAはローレベルであるから、図11に示す関係にもとづいて全ての列電極に対する印加電圧は V_3 となり、全ての画素に対する液晶印加電圧は $V_3(V_r - V_c)$ となる。よって、FC状態に必要な液晶印加電圧が全面に印加される。次いで、基準カウンタ22は、カウント値が N_3 と一致するまでカウントアップし、カウント値が N_3 と一致すると基準カウンタ22のカウント値が0に戻り、ラインカウンタ23の値が+1される。

なお、ラインカウンタ23の値が「3」の場合に、比較器24は、DATAとしてメモリ26からの表示データを選択するようなSEL信号を出力する。セクタ27は、そのようなSEL信号に応じてメモリ26からの表示データを選択する

状態になる。そして、比較器 2 4 は、C P 信号を順次出力して、列ドライバ 1 3 の内部レジスタに表示データを入れる。

5 ラインカウンタ 2 3 の値が 4 になると、比較器 2 4 は、L P 信号を 1 クロック期間ハイレベルにして、列ドライバ 1 3 の内部レジスタの値を列ドライバ 1 3 の出力に反映させる。また、L P 信号のパルスを含むように F R 信号を一定期間ハイレベルにし、行ドライバ 1 2 に先頭行からの走査を指示する。

また、比較器 2 4 は、 \neg DOFF 1 信号をハイレベルに固定する。よって、列ドライバ 1 2 および行ドライバ 1 3 の出力として線順次駆動に必要な電圧が出力される。図 2 6 では、この期間がアドレッシング部として示されている。

10 比較器 2 4 は、アドレッシング部において、基準カウンタ 2 2 のカウント値が $(N_4/2)$ より小さい場合は M 信号をローレベルにし、 $(N_4/2)$ 以上であればハイレベルにして、線順次駆動時の液晶印加電圧を交流化させる。また、次の選択行のために DATA としてメモリ 2 6 の表示データを出力する。DATA は、C P 信号によって列ドライバ 1 3 の内部レジスタに取り込まれる。基準カウンタ 2 2 はカウント値が N_4 と一致するまでカウントアップし、 N_4 と一致すると基準カウンタ 2 2 のカウント値が 0 に戻され、ラインカウンタ 2 3 の値が + 1 される。比較器 2 4 は、ラインカウンタ 2 3 の値が + 1 される毎に、L P 信号をパルス出力して、行ドライバ 1 2 に対して次の行の走査を指示するとともに、列ドライバ 1 3 に対して次の表示データの出力を指示する。

20 ラインカウンタ 2 3 の値が $(3 + \text{表示行数})$ になると、比較器 2 4 は、C P 信号および L P 信号をローレベルにし、SEL 信号でセクタ 2 6 に対して「1」の DATA を出力するように指示し、M 信号をハイレベルに固定するそして、基準カウンタ 2 2 のカウント値が N_4 と一致したら、CLR 信号を 1 クロック期間ハイレベルにして、基準カウンタ 2 2 およびラインカウンタ 2 3 を 0 クリアする。
25 。また、 \neg DOFF 1 信号および \neg DOFF 2 信号をローレベルにして液晶印加電圧を 0 V にし、START フラグをクリアして初期状態に戻る。なお、実施の形態 C での表示行数は 6 0 行である。

以上に説明したように、実施の形態 C では、従来の液晶駆動装置が取り扱うこ

とができるM信号と／DOFF信号とを利用することによって、第1の段階～第3の段階、すなわち、リセット部、無印加部およびフォーカルコニック部を作成する。したがって、IAPT駆動ドライバを本発明に適用できる。

5 そして、温度補償回路40が、温度センサ81の検出温度に応じた電圧印加時間を決定し、決定された電圧印加時間にもとづいて液晶パネル10のリセットおよび表示データの書き込みが行われるので、低温時でも、良好な表示品位を維持することができる。

10 さらに、第2の段階（無印加部）は、第1および第3の段階に比べて、温度低下に応じた電圧印加時間の増加割合を大きくする必要があるが、図25に示すように、第1および第3の段階に関するレジスタ55と第2の段階に関するレジスタ56とを別に設けることによって、第1～第3の段階の長さを温度に応じた適切な長さに制御することができる。

（例C-1）

15 室温を25℃にして、液晶パネル10の全画面を初期化するために、表示シーケンスの開始時に、パネル全体に40Vの電圧を13.2ms間印加した。それについて、液晶パネル10に印加される電圧が0Vになる無印加時間を1ms設けた。その後、FC状態にするための電圧条件として23Vの電圧を3.3ms間全画素に印加した。そして、線順次駆動を実施した。駆動波形は図9(B)に示すものを用いた。

20 表示データを書き込む前の一連の電圧処理によって、液晶パネル10が若干の残留反射が残るFC状態になったことが確かめられた。また、引き続き線順次駆動によって表示書き込みを行うことによって、以上の条件でテストパターンを表示したところ、残像もなく、高コントラスト比の表示が得られた。

25 さらに、室温を0℃とした場合に、各電圧印加時間をそれぞれ4倍にした。その場合にも、テストパターンを表示したところ、残像もなく、高コントラスト比の表示が得られた。

（比較例C-1）

室温0℃で、例C-1と同じ電圧印加条件（40V、13.2ms、0V、1

ms、23V、3.3ms)で液晶パネル10を駆動した。テストパターンを表示したところ残像が発生した。すなわち、例C-1と同一の駆動条件では、0℃において、残像が多く良好が表示が得られない。また、それぞれの電圧印加時間を例1の場合と同じにして、それぞれの印加電圧値を上げると、所望の表示が得られたが、コントラストが低い表示になってしまった。

(例C-2)

室温25℃で、例C-1における電圧印加条件(40V、13.2ms、0V、1ms、23V、3.3ms)のうち、第1の段階、第3の段階および線順次駆動期間において電圧印加時間を2倍にし、また、第2の段階の電圧印加時間を4倍にし、かつ、それぞれの期間における印加電圧値を例C-1の場合よりも高くした。テストパターンを表示したところ、残像もなく、高コントラストの表示が得られた。さらに、例C-1の0℃の場合の電圧印加条件に比べて書き込み時間を短くすることができた。

(比較例C-2)

室温0℃で、例C-1における電圧印加条件(40V、13.2ms、0V、1ms、23V、3.3ms)のうち各電圧印加時間を2倍にした。テストパターンを表示したところ、残像はないもののコントラストの低い表示になってしまった。

上述したように、第1の段階で、それ以前に書き込まれた表示状態を消去するために、CL-LCの配向状態をHO状態にする。また、第2の段階で、CL-LCの配向状態をHO状態からHG状態またはHG状態とPL状態の混在状態にする。さらに、第3の段階で、HG状態またはHG状態とPL状態の混在状態からFC状態またはFC状態とPL状態の混在状態にする。そして、線順次駆動期間で、FC状態またはFC状態とPL状態の混在状態から所望の表示状態を書き込む。

例C-1より、CL-LCの温度が低下した場合には、各段階の電圧印加時間を長くすればよいことがわかる。例えば、25℃から0℃に低下した場合には、電圧印加時間を数倍すれば良好な表示品位を維持することができる。

しかし、各配向状態に変化させるために必要な電圧印加時間は、各段階の間で異なっている。例C-2および比較例C-2から、CL-LCをHO状態からHG状態またはHG状態とPL状態の混在状態にする第2の段階は、それ以外の段階に比べて、温度低下に応じた電圧印加時間の増加割合を大きくする必要があることがわかる。

第2の段階において、HO状態から、十分にHG状態またはHG状態とPL状態の混在状態にすることができない場合には、第3の段階において、所望のFC状態またはFC状態とPL状態の混在状態にすることができず、その結果、線順次駆動期間において、本来FC状態に設定したいオフ時の反射率が上昇しコントラスト比が低下する。

(例C-3)

室温50℃で、例C-1における電圧印加条件(40V, 13.2ms, 0V, 1ms, 23V, 3.3ms)に対して、それぞれの期間における印加電圧をやや低めに設定して液晶パネル10を駆動した。テストパターンを表示させたところ、残像もなく、高コントラスト比の表示が得られた。

(例C-4)

室温50℃で、例C-1における電圧印加条件(40V, 13.2ms, 0V, 1ms, 23V, 3.3ms)に対して、それぞれの電圧印加期間を1/2に設定して液晶パネル10を駆動した。また、それぞれの期間における印加電圧を例C-1の場合よりもやや低めに設定した、テストパターンを表示させたところ、残像もなく、高コントラスト比の表示が得られた。

以上より、25℃のときの電圧印加条件を基準に、0℃ときは電圧印加時間を2倍にして、50℃のときには電圧印加時間を1/2にすれば、25℃に対して高温または低温になっても良好な表示が得られることがわかる。

なお、表示データを書き込む前の一連の電圧処理(表示リセット)のうち、第1の段階の期間と第3の段階の期間に関して、温度変化に応じた期間増減の倍率は表示データを書き込むときの期間の増減の倍率と同じである。しかし、第2の期間に関しては、温度が低くなった場合、それらの倍率よりも電圧印加期間(0

Vの電圧印加期間)の倍率を大きくとることが好ましい。

具体的な温度設定については、表示リセットにおける第2の段階の期間を除いた全ての期間(表示リセットと表示データの書き込みの期間)に関して、倍率 $n(t_p)$ は(t_p =温度)、5~50の範囲の定数である K_A を、下記式3を満たすように設定するとコントラストの高い表示を得ることができた。下記式3において、「 \wedge 」の右側は指数を示す。

$$n(t_p) = n(25) \times 2^{\wedge((25 - t_p) / K_A)} \quad \dots (3)$$

また、所定温度を25℃とすると、任意の温度 t_p における表示データに対応した電圧条件にもとづいて各画素に電圧を印加する期間(アドレッシング期間)の長さを $T_2(t_p)$ としたときに、下記式4の関係を満たすことが好ましい。

$$T_2(t_p) = T_2(25) \times 2^{\wedge((25 - t_p) / K_B)} \quad \dots (4)$$

K_B は使用するCL-LCに応じて設定される定数であり、5~50の範囲に設定することが好ましい。 K_A と K_B はおよそ25にすることが好ましい。

さらに、第2の段階は印加電圧0Vの状態であるから、所定の温度でその期間をあらかじめ長い期間に設定しておけば、温度によって、全ての段階の期間を一律に設定することができる。かつ、電圧振幅を調整することもなく、各温度において高速の表示を行うことができた。

次に、CL-LCDをHG状態またはPL状態でリセットを行う発明の実施の形態Dについて説明する。図27に駆動波形のタイミングチャートを、図28に駆動回路のうちの信号変換回路のブロック図を、図29に信号変換回路の動作のタイミングチャートを示す。回路構成と動作に関し、上記の発明の実施の形態A、BおよびCと多くの点で共通する。本例で必要とする電圧パルスを発生するように、図16の回路構成および図17の動作タイミングを変更することで達成できる。

(例D-1)

例A-1の液晶パネルに図27の駆動波形で表示を行った。液晶パネル全体に40Vの電圧を13.3ms印加し、それに引き続いて、無電圧時間を1ms設けた。続いて、線順次駆動を行った。選択時には、オン表示(PL状態)では

、 $V_r + V_c$ の電圧が印加され、オフ表示（FC状態）では、 $V_r - V_c$ の電圧が印加された。 $V_r = 3.5\text{ V}$ 、 $V_c = 5\text{ V}$ とした。また、行電極の選択時間を3.3msにした。テストパターンを表示した結果、残像もなく高コントラスト比の表示が得られた。

5 (例E)

上記の発明の実施の形態A、BおよびCを用いて、携帯型の表示装置の一種である電子ブック、ページャーやモバイル型表示装置に使用できる液晶パネルを作成した。

10 行電極と列電極を備えた高精彩なフルドットマトリックスの表示が鮮明に行うことができた。図30にその表示の一態様を示す。文字が細かくても、十分に読み取ることができた。また、視野角が広く、表示画面の書き換えが違和感なく実行され、見やすい表示品位を達成できた。

また、比較的大型の表示画面を用いる公衆表示装置や、電子写真表示装置にも適用できるものであった。

15 本発明の実施の形態Aによれば、表示データの書き込みを行う前にコレステリック液晶を確実にFC状態または準FC状態に揃えることができ、高速書き込みを行っても残像を生じさせたり、表示のコントラスト比が低下することを防止でき、表示を高精細化した場合にも表示品位を高くすることができる効果がある。

20 さらに、コレステリック液晶の状態をFC状態に揃えるための時間が短縮されるので、一連の画像を更新するシーケンスに要する時間をより短縮することができる。

また、発明の実施の形態Bによれば、表示データの書き込みを行う前にCL-LCを確実にFC状態または準FC状態に揃えることができ、高速書き込みを行っても残像を生じさせたりコントラスト比が低下することを防止でき、表示を高精細化した場合にも表示品位を高くすることができる。さらに、CL-LCをFC状態に揃えるための時間がより短縮され、一連の画像を更新するシーケンスに要する時間がさらに短縮される。

また、発明の実施の形態Cでは、低温の使用環境であっても、良好な表示品位を維持でき、かつ表示を切り替える際の電圧処理時間が従来技術に比べて短縮される。また、発明の実施の形態Dでは、高速書き込みを行っても残像を生じたり、コントラスト比が低下することを防止できる。

WHAT IS CLAIMED AS NEW AND IS DESIRED TO BE SECURED BY LETTERS PATENT OF
THE UNITED STATES IS:

1. メモリ性コレステリック液晶を備えた液晶表示装置を駆動する駆動方法において、コレステリック液晶の配向が電圧印加方向にほぼ平行になるように電圧を印加する第1の段階と、前記コレステリック液晶をホモジニアスまたはホモジニアスとプレナーの混在状態に移行させるための電圧を印加する第2の段階と、前記コレステリック液晶をホモジニアスまたはホモジニアスとプレナーの混在状態からフォーカルコニックに移行させるための電圧を印加する第3の段階とが備えられたことを特徴とする駆動方法。

2. メモリ性コレステリック液晶を備えた液晶表示装置を駆動する駆動方法において、コレステリック液晶の配向が電圧印加方向にほぼ平行になるように電圧を印加する第1の段階と、前記コレステリック液晶をホモジニアスまたはホモジニアスとプレナーの混在状態に移行させるための電圧を印加する第2の段階と、前記コレステリック液晶をホモジニアスまたはホモジニアスとプレナーの混在状態からフォーカルコニックとプレナーの混在状態に移行させるための電圧を印加する第3の段階とが備えられたことを特徴とする駆動方法。

3. 第2の段階の期間を τ_2 とし、電圧印加によりホメオトロピックにあるコレステリック液晶が電圧遮断後最も低い誘電率を示すまでの時間を τ_H とすると、 $0.8 \times \tau_H \leq \tau_2 \leq 8 \times \tau_H$ を満たす請求項1に記載の駆動方法。

4. $\tau_H \leq \tau_2 \leq 5 \times \tau_H$ を満たす請求項3に記載の駆動方法。

5. 第2の段階で印加される電圧値は0 Vである請求項1に記載の駆動方法。

6. 第1の段階の印加電圧波形が V_1 の電圧振幅を持ったパルス電圧によって構成され、第3の段階の印加電圧波形が V_3 の電圧振幅を持ったパルス電圧によって構成され、それぞれの段階の印加時間を τ_1 、 τ_3 とすると、 V_1 は V_3 より大きく、かつ、 τ_3 が τ_1 より小さい請求項1に記載の駆動方法。

7. 第1の段階から第3の段階の後に各表示画素の表示データにもとづく電圧波形を印加するために線順次動作を行う際に、オン表示にはプレナーが書き込まれ、オフ表示にはフォーカルコニックが書き込まれるように印加電圧条件を定め

る場合、中間調表示にパルス幅変調方式を用いる請求項 1 に記載の駆動方法。

8. メモリ性コレステリック液晶が備えられた液晶表示装置を駆動する駆動装置において、第 1 の段階の期間を設定する第 1 の期間設定手段と、第 1 の段階に続く第 2 の期間を設定する第 2 の期間設定手段と、第 2 の段階に続く第 3 の期間を設定する第 3 の期間設定手段と、前記第 1 の期間設定手段が作成した第 1 の期間で配向が電圧印加方向にほぼ平行になるように前記コレステリック液晶に電圧を印加し、前記第 2 の期間設定手段が作成した第 2 の期間で前記コレステリック液晶をホモジニアスまたはホモジニアスとプレナーの混在状態に移行させるための電圧を印加し、前記第 3 の期間設定手段が作成した第 3 の期間で前記コレステリック液晶をホモジニアスまたはホモジニアスとプレナーの混在状態からフォーカルコニックまたはプレナーとフォーカルコニックの混在状態に移行させるための電圧を印加する電圧印加手段とを備えたことを特徴とする駆動装置。

9. メモリ性を有するコレステリック液晶が備えられた液晶表示装置を駆動する駆動方法において、駆動方法は、表示データに対応した電圧条件にもとづいて各画素に電圧を印加する前に、前記コレステリック液晶の配向が電圧印加方向にほぼ平行になるように電圧を印加する第 1 の段階と、前記コレステリック液晶をホモジニアスまたはホモジニアスとプレナーの混在状態に移行させるための電圧を印加する第 2 の段階と、前記コレステリック液晶のホモジニアスまたはホモジニアスとプレナーの混在状態からフォーカルコニックまたはフォーカルコニックとプレナーの混在状態への移行を促進するための電圧を印加する第 3 の段階とが備えられ、前記第 1 の段階の後に前記第 2 の段階および前記第 3 の段階を繰り返すことを特徴とする駆動方法。

10. 第 2 の段階で印加される電圧値は 0 V である請求項 9 に記載の駆動方法。

11. 第 2 の段階および第 3 の段階の繰り返し回数が 2 回～10 回である請求項 10 に記載の駆動方法。

12. 第 1 の段階の印加電圧波形が V_1 の電圧振幅を持ったパルス電圧によって構成され、第 3 の段階の印加電圧波形が V_3 の電圧振幅を持ったパルス電圧によ

って構成され、それぞれの段階の印加時間を τ_1 、 τ_3 とすると、 V_1 は V_3 より大きく、かつ、 τ_3 が τ_1 より小さい請求項9に記載の駆動方法。

13. 第1の段階の印加電圧波形が V_1 の電圧振幅を持ったパルス電圧によって構成され、第3の段階の印加電圧波形が V_3 の電圧振幅を持ったパルス電圧によって構成され、それぞれの段階の印加時間を τ_1 、 τ_3 とすると、 V_1 は V_3 と等しく、かつ、 τ_3 が τ_1 より小さい請求項1ないし請求項11に記載のコレステリック液晶表示装置の駆動方法。

14. 第1の段階から第3の段階が完了した後に各表示画素の表示データにもとづく電圧波形を印加するために線順次動作を行う際に、オン表示にはプレナーが書き込まれ、オフ表示にはフォーカルコニックが書き込まれるように印加電圧条件を定める場合、中間調表示にパルス幅変調方式を用いる請求項9に記載の駆動方法。

15. メモリ性を有するコレステリック液晶が備えられた液晶表示装置を駆動する駆動装置において、第1の段階の期間を設定する第1の期間設定手段と、第1の段階に続く第2の期間を設定する第2の期間設定手段と、第2の段階に続く第3の期間を設定する第3の期間設定手段と、前記第1の期間設定手段が作成した第1の期間で配向が電圧印加方向にほぼ平行になるように前記コレステリック液晶に電圧を印加し、前記第2の期間設定手段が作成した第2の期間で前記コレステリック液晶をホモジニアスまたはホモジニアスとプレナーの混在状態に移行させるための電圧を印加し、前記第3の期間設定手段が作成した第3の期間で前記コレステリック液晶のホモジニアスまたはホモジニアスとプレナーの混在状態からフォーカルコニックまたはプレナーとフォーカルコニックとの中間の状態への移行を促進するための電圧を印加する電圧印加手段と、前記第1の期間設定手段を動作させた後に前記第2の期間設定手段と前記第3の期間設定手段とを繰り返し動作させる回数制御手段とを備えたことを特徴とする駆動装置。

16. メモリ性コレステリック液晶が備えられた液晶表示装置を駆動する駆動方法において、駆動方法は、各画素に所定の電圧を印加することによって表示状態を初期化し、表示データに対応した電圧条件にもとづいて各画素に電圧を印加

する方法であって、所定温度に対してコレステリック液晶の温度が低い場合には、前記所定温度に対応した電圧印加時間よりも電圧印加時間を長くし、前記所定温度に対してコレステリック液晶の温度が高い場合には、前記所定温度に対応した電圧印加時間よりも電圧印加時間を短くすることを特徴とする駆動方法。

- 5 17. 単純マトリクス方式の駆動が行われ、初期化の期間を T_1 、表示データに対応した電圧条件にもとづいて各画素に電圧を印加する期間を T_2 とすると、所定温度に対してコレステリック液晶の温度が低い場合には、 T_1 、 T_2 の長さを、所定温度に対して定められている T_1 、 T_2 の長さよりも長くする請求項16に記載の駆動方法。

- 10 18. 初期化の期間 T_1 が、コレステリック液晶の配向が電圧印加方向にほぼ平行になるように電圧を印加する第1の段階と、前記コレステリック液晶をホモジニアスまたはホモジニアスとプレナーの混在状態に移行させるための電圧を印加する第2の段階と、前記コレステリック液晶をホモジニアスまたはホモジニアスとプレナーの混在状態からフォーカルコニックまたはフォーカルコニックとプレナーの混在状態に移行させるための電圧を印加する第3の段階とを含み、第1の段階、第2の段階、第3の段階の期間をそれぞれ T_{10} 、 T_{11} 、 T_{12} としたときに、所定温度に対してコレステリック液晶の温度が低い場合には、 T_{10} 、 T_{11} 、 T_{12} の長さを、所定温度に対して定められている T_{10} 、 T_{11} 、 T_{12} の長さよりも長くする請求項17に記載の駆動方法。

- 20 19. 所定温度における T_{10} 、 T_{11} 、 T_{12} 、 T_2 を T_{10r} 、 T_{11r} 、 T_{12r} 、 T_{2r} とすると、所定温度に対してCL-LCの温度が低い場合には、 T_{10} 、 T_{11} 、 T_{12} 、 T_2 を、それぞれ、 $n_1 \times T_{10r}$ 、 $n_2 \times T_{11r}$ 、 $n_1 \times T_{12r}$ 、 $m \times T_{2r}$ とし、 $n_2 \geq n_1$ で、 $n_2 \geq m$ である請求項18に記載の駆動方法。

- 25 20. 所定温度を 25°C とするとき、任意の温度 t_p における表示データに対応した電圧条件にもとづいて各画素に電圧を印加する期間を $T_2(t_p)$ 、 K_A を5～50の液晶材料に依存した定数であるとする、下記式3の関係を満たす請求項16に記載の駆動方法。

$$T_2(t_p) = T_2(25) \times 2^{((25 - t_p) / K_A)} \dots (3)$$

21. 所定温度を25°Cとし、 K_B を5～50の液晶材料に依存した定数であるとする、任意の温度 t_p における T_{10} 、 T_{11} 、 T_{12} 、 T_2 に関する倍率 $n(t_p)$ が下記式4の関係（ \wedge は指数を示す）を満たす請求項16に記載の駆動方法。

5
$$n(t_p) = n(25) \times 2^{\wedge((25 - t_p) / K_B)} \quad \dots (4)$$

22. メモリ性コレステリック液晶が備えられた液晶表示装置を駆動する駆動方法において、コレステリック液晶の配向が電圧印加方向にほぼ平行になるように電圧を印加する第1の段階と、前記コレステリック液晶をホモジニアスまたはプレナーに移行させるための電圧を印加する第2の段階とを備えたことを特徴とする駆動方法。

23. 第2の段階で印加される電圧値が0Vである請求項22に記載の駆動方法。

24. 第2の段階の期間は、0.3～100msである請求項23に記載の駆動方法。

15 25. メモリ性コレステリック液晶を備えた液晶表示装置を駆動する駆動装置において、第1の段階の期間を設定する第1の期間設定回路と、第1の段階に続く第2の期間を設定する第2の期間設定回路と、前記第1の期間設定回路が作成した第1の期間で、コレステリック液晶の配向が電圧印加方向にほぼ平行になるように電圧を印加し、前記第2の期間設定回路が作成した第2の期間でコレステリック液晶をホモジニアスまたはプレナーに移行させるための電圧を印加する電圧印加回路とが備えられたことを特徴とする駆動装置。

20 26. 液晶表示装置は行電極と列電極が備えられ、単純マトリクス型の駆動が行われ、電圧印加回路には行電極を駆動する行ドライバと、列電極を駆動する列ドライバとが備えられ、第1の期間では、非表示状態の電圧をすべての行電極に
25 印加することを行ドライバに指示するとともに、オン表示時の電圧のすべての列電極に印加することを列ドライバに指示する制御回路が備えられたことを特徴とする請求項25に記載の駆動装置。

27. メモリ性コレステリック液晶を備えた液晶表示装置を駆動する駆動方法

において、電圧パルスを印加してホメオトロピックにあるコレステリック液晶が前記電圧パルスの遮断後、最も低い誘電率を示すまでの時間を τ_H とすると、コレステリック液晶の配向が電圧印加方向にほぼ平行になるように電圧パルスを印加し、次に、 τ_H 以内の電圧パルスを印加して、コレステリック液晶の状態を転移させ、さらに、表示を行うための電圧パルスを印加することを特徴とする駆動方法。

ABSTRACT OF THE DISCLOSURE

- メモリ性を有するコレステリック液晶が備えられた液晶表示装置の駆動方法であって、第1の電圧を印加してコレステリック液晶をホメオトロピック状態にせしめる第1の段階と、第2の電圧を印加して前記コレステリック液晶をホモジニアス状態またはホモジニアス状態とプレナー状態の混在状態に転移させる第2の段階と、第3の電圧を印加して前記コレステリック液晶をホモジニアス状態またはホモジニアス状態とプレナー状態の混在状態からフォーカルコニック状態に転移させる第3の段階を備えた駆動方法。
- 5